

0094
18.3.85

⑯ BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑯ Patentschrift

⑯ DE 3509682 C2

⑯ Int. Cl. 4:

G 01 B 21/00

DE 3509682 C2

⑯ Aktenzeichen: P 35 09 682.9-52
⑯ Anmeldetag: 18. 3. 85
⑯ Offenlegungstag: 18. 9. 86
⑯ Veröffentlichungstag der Patenterteilung: 9. 3. 89

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑯ Patentinhaber:

Dr. Johannes Heidenhain GmbH, 8225 Traunreut, DE

⑯ Erfinder:

Huber, Martin, Dipl.-Ing., 8261 Asten, DE

⑯ Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

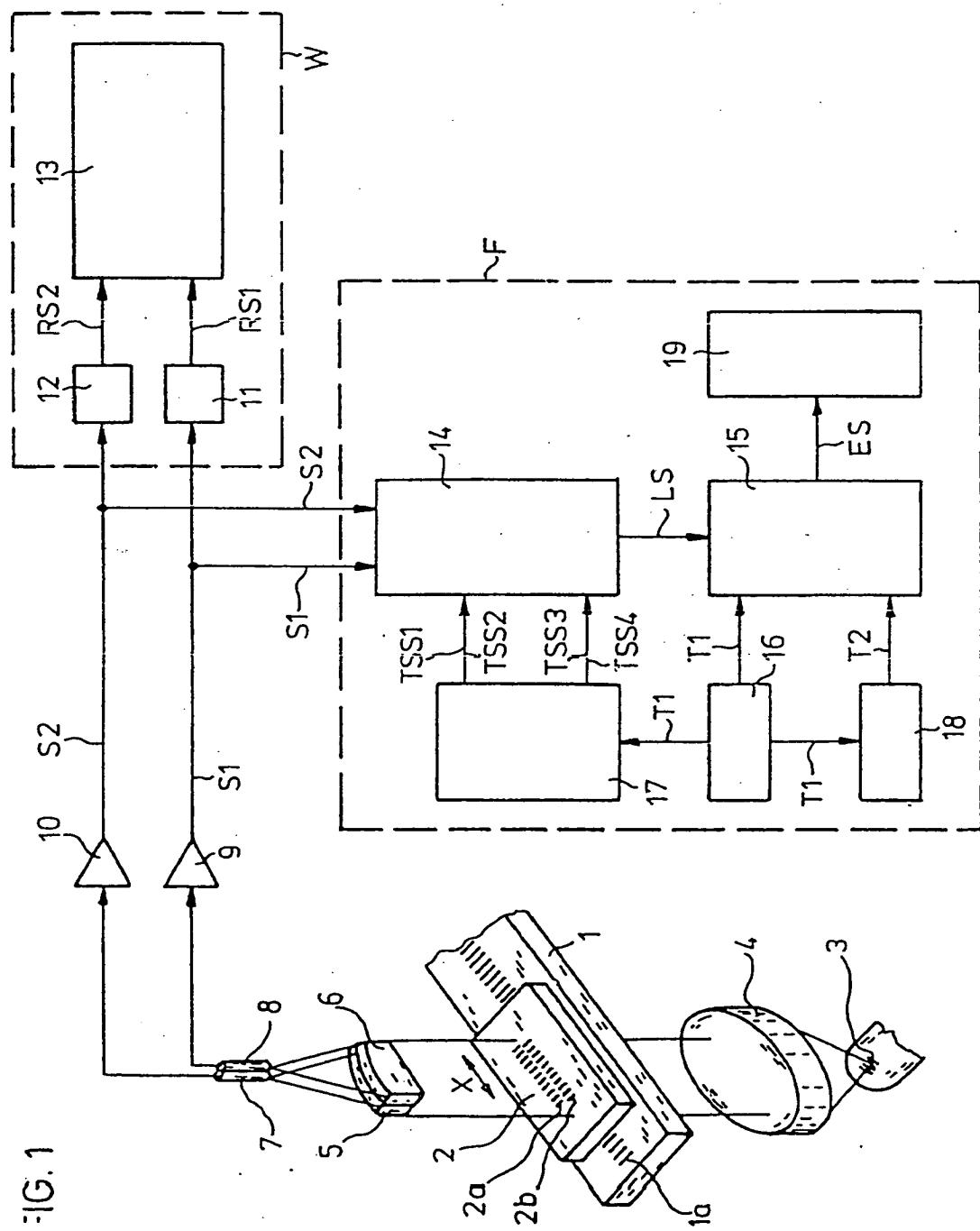
DE-PS 22 07 224
DE-PS 20 22 151
DE-AS 12 21 668
DE-OS 20 20 393
US 26 85 082

⑯ Meßeinrichtung mit einer Fehlererkennungseinrichtung

DE 3509682 C2

ZEICHNUNGEN BLATT 1

Nummer: 35 09 682
 Int. Cl. 4: G 01 B 21/00
 Veröffentlichungstag: 9. März 1989



Patentansprüche

1. Meßeinrichtung zur Messung der Relativlage zweier Objekte mittels elektrischer Abtastsignale, die einmal einer Auswerteeinrichtung und zum anderen zur Grenzwertüberprüfung ihrer Amplitudenhöhen zu beiden Seiten ihrer Nulllinie einer Fehlererkennungseinrichtung zugeführt werden, die bei wenigstens einem fehlerhaften Signalparameter der Abtastsignale ein den Fehlerzustand charakterisierendes Erkennungssignal erzeugt, dadurch gekennzeichnet, daß zur periodisch alternierenden Überprüfung der Amplitudenhöhe (A_1 , $-A_1$; A_2 , $-A_2$) der Abtastsignale (S_1 , S_2) zu beiden Seiten ihrer Nulllinie (N) jeweils auf einen oberen Grenzwert (G_1 , G_4) und auf einen unteren Grenzwert (G_2 , G_3) in der Fehlererkennungseinrichtung (F) ein Taktgeber (16) mit einem Taktignal (T_1) einen Triggerschwellenformer (17) zur periodisch alternierenden Lieferung von oberen Triggerschwellenspannungen (TSS_1 , TSS_4) für die oberen Grenzwerte (G_1 , G_4) und von unteren Triggerschwellenspannungen (TSS_2 , TSS_3) für die unteren Grenzwerte (G_2 , G_3) beaufschlagt, die mitsamt den Abtastsignalen (S_1 , S_2) an einer Logikschaltung (14) der Fehlererkennungseinrichtung (F) anliegen, daß der Taktgeber (16) mit dem Taktignal (T_1) einen weiteren Taktgeber (18) zur Lieferung eines weiteren Taktsignals (T_2) beaufschlagt und daß das Logiksignal (LS) der Logikschaltung (14), das Taktignal (T_1) des Taktgebers (16) und das weitere Taktignal (T_2) des weiteren Taktgebers (18) an einen Vergleicher (15) zur Erzeugung eines periodischen Erkennungssignals (ES) anliegen.

2. Meßeinrichtung zur Messung der Relativlage zweier Objekte mittels elektrischer Abtastsignale, die einmal einer Auswerteeinrichtung und zum anderen zur Grenzwertüberprüfung ihrer Amplitudenhöhen zu beiden Seiten ihrer Nulllinie einer Fehlererkennungseinrichtung zugeführt werden, die bei wenigstens einem fehlerhaften Signalparameter der Abtastsignale ein den Fehlerzustand charakterisierendes Erkennungssignal erzeugt, dadurch gekennzeichnet, daß zur ständigen Überprüfung der Amplitudenhöhe (A_1 , $-A_1$; A_2 , $-A_2$) der Abtastsignale (S_1 , S_2) zu beiden Seiten ihrer Nulllinie (N) jeweils auf einen oberen Grenzwert (G_1 , G_4) und auf einen unteren Grenzwert (G_2 , G_3) in der Fehlererkennungseinrichtung (F) ein Triggerschwellenformer (27) zur ständigen Lieferung von oberen Triggerschwellenspannungen (TSS_1 , TSS_4) für die oberen Grenzwerte (G_1 , G_4) und von unteren Triggerschwellenspannungen (TSS_2 , TSS_3) für die unteren Grenzwerte (G_2 , G_3) vorgesehen ist, die mitsamt den Abtastsignalen (S_1 , S_2) an einer Logikschaltung (24) der Fehlererkennungseinrichtung (F) zur Erzeugung eines statischen Erkennungssignals (ES) im fehlerfreien Zustand anliegen.

3. Meßeinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß in der Logikschaltung (14) die Ausgänge eines ersten Triggers (TR_1) und eines zweiten Triggers (TR_2) mit den Eingängen eines ersten Antivalenzgatters (O_1) und die Ausgänge eines dritten Triggers (TR_3) und eines vierten Triggers (TR_4) mit den Eingängen eines zweiten Antivalenzgatters (O_2) verbunden sind, daß die Aus-

gänge der beiden Antivalenzgatter (O_1 , O_2) an die Eingänge eines Undgatters (U) angeschlossen sind und daß die Eingänge der vier Trigger (TR_1 – TR_4) von den Abtastsignalen (S_1 , S_2) und von den Triggerschwellenspannungen (TSS_1 – TSS_4) beaufschlagt sind.

4. Meßeinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß der Vergleicher (15) eine vom Taktignal (T_1) beaufschlagt ersten Inverter (I_1) und einen vom weiteren Taktignal (T_2) beaufschlagten zweiten Inverter (I_2), denen ein erstes Nandgatter (N_1) nachgeschaltet ist, sowie ein vom Logiksignal (LS) und vom weiteren Taktignal (T_2) beaufschlagtes zweites Nandgatter (N_2) aufweist und daß dem ersten Nandgatter (N_1) und dem zweiten Nandgatter (N_2) ein drittes Nandgatter (N_3) nachgeschaltet ist, an dessen Ausgang das periodische Erkennungssignal (ES) ansteht.

5. Meßeinrichtung nach Anspruch 4, dadurch gekennzeichnet, daß dem Vergleicher (15) eine Auswerteeinheit (19) mit zwei parallelen monostabilen Kippstufen (MF_1 , MF_2), einem Odergatter (O), einer bistabilen Kippstufe (FF), einem Verstärker (VS) und einer Warnlampe (WL) zur Auswertung des Erkennungssignals (ES) nachgeschaltet ist.

6. Meßeinrichtung nach Anspruch 2, dadurch gekennzeichnet, daß in der Logikschaltung (24) die Ausgänge eines ersten oberen Triggers (TR_{1o}) und eines zweiten oberen Triggers (TR_{2o}) mit den Eingängen eines ersten oberen Antivalenzgatters (O_{1o}) und die Ausgänge eines dritten oberen Triggers (TR_{3o}) und eines vierten oberen Triggers (TR_{4o}) mit den Eingängen eines zweiten oberen Antivalenzgatters (O_{2o}) verbunden sind, daß die Ausgänge der beiden oberen Antivalenzgatter (O_{1o} , O_{2o}) an die Eingänge eines oberen Undgatters (U_o) angeschlossen sind, daß die Eingänge der vier oberen Trigger (TR_{1o} – TR_{4o}) von den Abtastsignalen (S_1 , S_2) und von den oberen Triggerschwellenspannungen (TSS_1 , TSS_4) beaufschlagt sind, daß die Ausgänge eines ersten unteren Triggers (TR_{1u}) und eines zweiten unteren Triggers (TR_{2u}) mit den Eingängen eines ersten unteren Antivalenzgatters (O_{1u}) und die Ausgänge eines dritten unteren Triggers (TR_{3u}) und eines vierten unteren Triggers (TR_{4u}) mit den Eingängen eines zweiten unteren Antivalenzgatters (O_{2u}) verbunden sind, daß die Ausgänge der beiden unteren Antivalenzgatter (O_{1u} , O_{2u}) an die Eingänge eines unteren Nandgatters (N_u) angeschlossen sind, daß die Eingänge der vier unteren Trigger (TR_{1u} – TR_{4u}) von den Abtastsignalen (S_1 , S_2) und von den unteren Triggerschwellenspannungen (TSS_2 , TSS_3) beaufschlagt sind und daß die Ausgänge des oberen Undgatters (U_o) und des unteren Nandgatters (N_u) an ein Undgatter (U) angeschlossen sind.

7. Meßeinrichtung nach Anspruch 6, dadurch gekennzeichnet, daß der Logikschaltung (24) eine Auswerteeinheit (29) mit einer bistabilen Kippstufe (FF), einem Verstärker (VS) sowie mit einer Warnlampe (WL) zur Auswertung des Erkennungssignals (ES) nachgeschaltet ist.

8. Meßeinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß das aus dem Taktignal (T_1) abgeleitete weitere Taktignal (T_2) gegenüber dem Taktignal (T_1) einen vorgebbaren Phasenversatz aufweist.

Beschreibung

Die Erfindung betrifft eine Meßeinrichtung mit einer Fehlererkennungseinrichtung gemäß dem Oberbegriff der Ansprüche 1 und 2.

Absolute und inkrementale Meßeinrichtungen werden insbesondere bei Bearbeitungsmaschinen zur Messung der Relativlage eines Werkzeugs bezüglich eines zu bearbeitenden Werkstücks sowie bei Koordinatenmeßmaschinen zur Ermittlung von Lage und/oder Abmessungen von Prüfobjekten eingesetzt.

Inkremental arbeitende Lagemeßeinrichtungen beruhen bekanntlich auf der Impuls-Zuwachsmethode, die jede Veränderung des Wertes der Meßgröße in Impulsen zählt (US-PS 26 85 082). Bei inkrementalen Meßeinrichtungen besteht somit keine feste Beziehung zu der ursprünglichen Ausgangslage. Dies hat zur Folge, daß ein einmal auftretender Meßfehler auch sämtliche nachfolgenden Messungen verfälscht.

Es sind bereits Einrichtungen zur Fehlersicherung bei inkrementalen Meßeinrichtungen bekannt geworden. Bei diesen werden in einen Übertragungsweg eingesetzte Störimpulse unterdrückt, indem die zu übertragenden Signale als komplementäre Signale gleicher Phasenlage auf verschiedenen Kanälen einem logischen Netzwerk auf der Empfängerseite zugeführt werden. Über den Ausgang des logischen Netzwerkes werden nur dann Impulse abgegeben, wenn auf beiden Übertragungskanälen gleichzeitig zwei komplementäre Signale eintreffen (DE-AS 12 21 668).

Mit Einrichtungen dieser Art können jedoch keine Meßfehler festgestellt werden, die durch fehlerhafte Signalparameter der elektrischen Abtastsignale (fehlerhafte Amplitudenhöhen und Unsymmetrie der einzelnen Abtastsignale sowie Amplitudenhöhenungleichheit und fehlerhafte Phasendifferenz zwischen jeweils zwei zueinander phasenversetzten Abtastsignalen), etwa infolge von Verschmutzungen der Meßteilung, hervorgerufen werden. Bestimmte Amplitudenhöhen und eine Symmetrie der einzelnen Abtastsignale sowie eine Amplitudenhöhenungleichheit und eine bestimmte Phasendifferenz zwischen jeweils zwei Abtastsignalen sind aber Voraussetzung für eine einwandfreie Messung.

Aus der DE-PS 22 07 224 ist eine fehlergesicherte inkrementale Lagemeßeinrichtung bekannt, bei der eine Meßteilung von vier Abtastern zur Erzeugung von vier zueinander phasenversetzten Binärsignalen abgetastet wird. Ein logisches Netzwerk erzeugt mit bekannten logischen Schalt- und Verknüpfungselementen an seinem Ausgang ein Binärsignal, das gleich einem ausgewählten der vier Binärsignale der Abtaster ist, wenn an seinem Eingang eine erlaubte Kombination dieser Binärsignale bei fehlerfreiem Arbeiten der Abtaster anliegt, und das ungleich dem ausgewählten Binärsignal ist, wenn an seinem Eingang eine verbotene Kombination dieser Binärsignale bei fehlerhaftem Arbeiten der Abtaster anliegt. Das vom logischen Netzwerk erzeugte Binärsignal und das ausgewählte Binärsignal steuern jeweils einen Zähler an, deren Zählergebnisse von einem Komparator verglichen werden, der von einer Taktfrequenz beaufschlagt ist. Bei einem Gleichstand der zu vergleichenden Zählergebnisse der beiden Zähler und bei einem einwandfreien Arbeiten des Komparators liegt an dessen Ausgang wiederum die Taktfrequenz vor, deren Vorhandensein das einwandfreie Arbeiten der gesamten Einrichtung anzeigen. Diese Taktfrequenz durchläuft vor dem Komparator nacheinander noch eine Reihe von Vergleichern, die zur Überwachung der

Fehlerfreiheit der Schalt- und Verknüpfungselemente des logischen Netzwerkes jeweils Paare von Signalen dieser Elemente auf Gleichheit überprüfen. Diese aufwendige Einrichtung ist zwar eigenfehlersicher aufgebaut, benötigt aber zur Überwachung der Fehlersicherheit wenigstens vier phasenversetzte Binärsignale, die in zwei Auswerteeinrichtungen mit jeweils einem Zähler ausgewertet werden.

In der DE-PS 20 22 151 ist eine Einrichtung zur Fehlervermeidung bei inkrementalen Meßeinrichtungen beschrieben, bei der direkt an wenigstens zwei Abtastsignalen eine Kontrolle des gegenseitigen Phasenwinkels und der Amplitudenhöhen durchgeführt wird. Die phasenversetzten Abtastsignale werden gleichzeitig einer Auswerteeinrichtung und einer Fehlerüberwachungseinheit zugeführt, in der die Abtastsignale gleichgerichtet werden und aus den gleichgerichteten Abtastsignalen ein Differenzsignal erzeugt wird, dem eine konstante Schwellenspannung überlagert ist. Beim Unterschreiten des Schwellenwertes spricht eine Kippsschaltung auf das Vorzeichen der Differenz ihrer Eingangsspannungen, beispielsweise auf die Differenzspannung Null, an und löst die Fehlermeldung aus. Diese Einrichtung zur Fehlervermeidung benötigt zur Kontrolle des Phasenwinkels und der Amplitudenhöhen nur wenigstens zwei Abtastsignale, ist aber nicht eigenfehlersicher aufgebaut.

Der DE-OS 20 20 393 entnimmt man eine Einrichtung zur Fehlersicherung bei inkrementalen Meßeinrichtungen, bei der ebenfalls direkt an wenigstens zwei Abtastsignalen eine Kontrolle des gegenseitigen Phasenwinkels und der Amplitudenhöhen durchgeführt wird. Jedes der zueinander phasenversetzten Abtastsignale wird einem Fenstertrigger mit jeweils zwei gleichen Triggerschwellen zugeführt. Die Ausgangssignale der beiden Fenstertrigger steuern eine aus einem Undgatter bestehende Kontrollschaltung an, die überprüft, ob die Schaltzustände der beiden Fenstertrigger zusammenfallen, die den Mittenbereichen der jeweiligen Abtastsignale zugeordnet sind, und gibt in diesem Fall eine Fehlermeldung ab. Diese Einrichtung zur Fehlersicherung benötigt zur Kontrolle des Phasenwinkels und der Amplitudenhöhen ebenfalls nur wenigstens zwei Abtastsignale, ist aber gleichfalls nicht eigenfehlersicher aufgebaut und erlaubt zudem nicht ein Erkennen sämtlicher fehlerhafter Signalparameter der Abtastsignale.

Der Erfindung liegt die Aufgabe zugrunde, eine Meßeinrichtung mit einer Fehlererkennungseinrichtung anzugeben, die auf einfache Weise ein Erkennen aller auftretender fehlerhafter Signalparameter wenigstens eines Abtastsignals ermöglicht.

Diese Aufgabe wird erfindungsgemäß durch die kennzeichnenden Merkmale der Ansprüche 1 und 2 gelöst:

Die mit der Erfindung erzielten Vorteile bestehen insbesondere darin, daß durch die vorgeschlagene Maßnahmen bei einer Meßeinrichtung eine einfache Überprüfung sämtlicher Signalparameter (Amplitudenhöhen, Symmetrie, Amplitudenhöhenungleichheit und/oder gegenseitige Phasenlage) von Abtastsignalen auf fehlerhafte Zustände mit weniger Elementen erzielt wird, so daß sich insgesamt eine einfach aufgebaute und preisgünstige Meßeinrichtung hoher Meßsicherheit ergibt. In einer bevorzugten Ausbildung der Erfindung wird eine eigenfehlersichere Überprüfung dieser Signalparameter ermöglicht, wobei das eigenfehlersichere Erkennen fehlerhafter Signalparameter von Abtastsignalen die Meßsicherheit einer solchen Meßeinrichtung weiter erhöht, so daß beispielsweise bei Bearbeitungsmaschi-

nen, an denen derartige MeBeinrichtungen zum Einsatz kommen, Fehlzeiten und Ausschuß erheblich verringert und die Betriebssicherheit wesentlich erhöht werden können. Insbesondere ist eine Überprüfung der Signalparameter von Abtastsignalen bei hochauflösenden MeBeinrichtungen von Bedeutung, bei denen eine Signalvervielfachung durch eine bekannte Interpolation bewirkt werden soll. Voraussetzung für eine einwandfreie Signalvervielfachung sind nicht nur bestimmte gleichbleibende Amplitudenhöhen und Symmetrie, sondern auch Amplitudenhöhengleichheit und gleichbleibende gegenseitige Phasenlagen der Abtastsignale. Darüberhinaus werden auch zu große Amplitudenhöhen erfaßt, die sich bei Ausfall beispielsweise eines lichtelektrischen Abtastelements ergeben können.

Vorteilhafte Ausgestaltungen der Erfindung entnimmt man den Unteransprüchen.

Ausführungsbeispiele der Erfindung werden anhand der Zeichnung näher erläutert.

Es zeigt

Fig. 1 schematisch eine lichtelektrische inkrementale LängenmeBeinrichtung:

Fig. 2a ein Diagramm von Abtastsignalen,

Fig. 2b ein Diagramm von oberen Signalen und

Fig. 2c ein Diagramm von unteren Signalen;

Fig. 3 eine Fehlererkennungseinrichtung;

Fig. 4 ein Signaldiagramm für einen fehlerfreien Zustand:

Fig. 5-7 Signaldiagramme für mehrere fehlerhafte Zustände;

Fig. 8 eine weitere Fehlererkennungseinrichtung;

Fig. 9 ein Signaldiagramm für einen fehlerfreien Zustand und

Fig. 10-12 Signaldiagramme für mehrere fehlerhafte Zustände.

In Fig. 1 ist schematisch eine lichtelektrische inkrementale LängenmeBeinrichtung zur richtungsabhängigen Wegemessung mit einem Gittermaßstab 1 und einer darüber gleitenden Gitterabtastplatte 2 dargestellt, die in nicht gezeigter Weise jeweils mit einem von zwei zueinander verschieblichen Objekten, deren gegenseitige Relativlage gemessen werden soll, beispielsweise mit Maschinenteilen einer Bearbeitungsmaßchine, verbunden sind. Die Gitterabtastplatte 2 weist zur Abtastung der inkrementalen Gitterteilung 1a des Gittermaßstabes 1 zwei Gitterteilungen 2a, 2b auf, die mit der Gitterteilung 1a des Gittermaßstabes 1 übereinstimmen und um ein Viertel ihrer Teilungsperiode zueinander versetzt sind. Der Lichtstrom einer Lampe 3 durchsetzt über einen Kondensor 4 die Gitterteilung 1a des Gittermaßstabes 1 und die beiden Gitterteilungen 2a, 2b der Gitterabtastplatte 2 und wird mittels Linsen 5, 6 auf zwei Photoelemente 7, 8 abgebildet, die jeweils einer der beiden Gitterteilungen 2a, 2b der Gitterabtastplatte 2 zugeordnet sind. Bei der Bewegung der Gitterabtastplatte 2 relativ zum Gittermaßstab 1 in Meßrichtung X erzeugen die beiden Photoelemente 7, 8 aus dem modulierten Lichtstrom zwei jeweils durch Verstärker 9, 10 verstärkte periodische Abtastsignale S1, S2, die einen gegenseitigen Phasenversatz von 90° wegen des Versatzes der beiden Gitterleitungen 2a, 2b der Gitterabtastplatte 2 um ein Viertel der Teilungsperiode aufweisen. Die beiden periodischen Abtastsignale S1, S2 werden in einer Auswerteeinrichtung W mittels zweier Trigger 11, 12 in Rechtecksignale RS1, RS2 umgeformt und einem Vorwärts-/Rückwärtszähler 13 mit einem Richtungsdiskriminator zum vorzeichenrichtigen Zählen der Inkremepte der Gitterteilung 1a des Gittermaßstabes 1

bei der Abtastung durch die Gitterabtastplatte 2 zugeführt. Die Zählergebnisse des Zählers 13 stellen die Meßwerte für die Relativlage der beiden zueinander verschieblichen Objekte dar.

In Fig. 2a sind die beiden Abtastsignale S1, S2 über der Zeit t mit ihren jeweiligen Amplitudenhöhen A1, -A1, A2, -A2 beiderseits ihrer Nulllinie N dargestellt, die zur Erkennung fehlerhafter Signalparameter in Form fehlerhafter Amplitudenhöhen und/oder einer Unsymmetrie der beiden einzelnen Abtastsignale S1, S2 und/oder zur Erkennung einer Amplitudenhöhenungleichheit und/oder einer fehlerhaften Phasendifferenz zwischen den beiden Abtastsignalen S1, S2 zusätzlich einer Fehlererkennungseinrichtung F mit einer Logikschaltung 14 und einem Vergleicher 15 zugeleitet werden. Ein erster Taktgeber 16 beaufschlägt mit einem ersten Taktignal T1 konstanter Frequenz einen Triggerschwellenformer 17, der vier Triggerschwellenspannungen TSS1, TSS2, TSS3, TSS4 (Fig. 2a) der Logikschaltung 14 zuführt. Der erste Taktgeber 16 beaufschlägt mit dem ersten Taktignal T1 noch den Vergleicher 15 sowie einen zweiten Taktgeber 18, der dem Vergleicher 15 ein vom ersten Taktignal T1 abgeleitetes zweites Taktignal T2 zuführt, das mit dem ersten Taktignal T1 in der Frequenz übereinstimmt, aber gegenüber dem ersten Taktignal T1 einen bestimmten vorgegebenen Phasenversatz aufweist. Der Vergleicher 15 vergleicht das von der Logikschaltung 14 gelieferte Logiksignal LS mit dem ersten Taktignal T1 des ersten Taktgebers 16 unter Steuerung durch das zweite Taktignal T2 des zweiten Taktgebers 18. Bei einer Gleichheit zwischen dem Logiksignal LS und dem ersten Taktignal T1 liefert der Vergleicher 15 ein periodisches Erkennungssignal ES in Form eines Rechtecksignals mit einem bestimmten Tastverhältnis, das einer Auswerteeinheit 19 zugeführt wird. Bei einer Ungleichheit zwischen dem Logiksignal LS und dem ersten Taktignal T1 wird das Tastverhältnis des periodischen Erkennungssignals ES an der Fehlerstelle verändert, so daß die Auswerteeinheit 19 eine Fehleranzeige bewirkt.

In Fig. 3 ist die Fehlererkennungseinrichtung F detailliert dargestellt und hinsichtlich ihrer Wirkungsweise näher erläutert. Die Logikschaltung 14 weist zwei sogenannte Fenstertrigger FT1, FT2 auf, deren Ausgänge an die Eingänge eines Undgatters U angeschaltet sind. Der erste Fenstertrigger FT1 besteht aus zwei parallelen Trigger TR1, TR2, deren nichtinvertierenden Eingängen das erste Abtastsignal S1 zugeführt wird und deren Ausgänge jeweils mit einem Eingang eines Antivalenzgatters O1 (Exklusiv-ODergatter) verbunden sind. Der zweite Fenstertrigger FT2 besteht gleichfalls aus zwei parallelen Triggern TR3, TR4, deren nichtinvertierenden Eingängen das zweite Abtastsignal S2 zugeleitet wird und deren Ausgänge jeweils mit einem Eingang eines zweiten Antivalenzgatters O2 verbunden sind. Diese Logikschaltung 14 ist beispielsweise in der DE-OS 20 20 393 beschrieben.

Der erste Taktgeber 16 mit einem an Masse M angeschalteten Zeitglied R5, C1, zwei invertierenden Triggern T71, T72 und einem Rückkopplungswiderstand R6 liefert das erste Taktignal T1, das dem Eingang des Triggerschwellenformers 17 mit vier Potentiometern P1, P2, P3, P4, einem Inverter / sowie zwei Widerständen R7, R8 zugeführt wird. Am ersten Ausgang des Triggerschwellenformers 17 liegen entsprechend dem oberen Signalzustand oder dem unteren Signalzustand des ersten Taktsignals T1 die erste obere Triggerschwellenspannung TSS1 oder die zweite untere Trig-

gerschwellenspannung TSS_2 an, die gemeinsam einmal dem invertierenden Eingang des ersten Triggers TR_1 und zum anderen dem invertierenden Eingang des dritten Triggers TR_3 der Logikschaltung 14 zugeführt werden. Am zweiten Ausgang des Triggerschwellenformers 17 liegen entsprechend dem unteren Signalzustand oder dem oberen Signalzustand des ersten Taktsignals T_1 die dritte untere Triggerschwellenspannung TSS_3 oder die vierte obere Triggerschwellenspannung TSS_4 an, die gemeinsam einmal dem invertierenden Eingang des zweiten Triggers TR_2 und zum anderen dem invertierenden Eingang des vierten Triggers TR_4 der Logikschaltung 14 zugeführt werden. Die vierte obere Triggerschwellenspannung TSS_4 ist mit entgegengesetzter Polarität mit der ersten oberen Triggerschwellenspannung TSS_1 betragsgleich; desgleichen ist die dritte untere Triggerschwellenspannung TSS_3 mit entgegengesetzter Polarität mit der zweiten unteren Triggerschwellenspannung TSS_2 betragsgleich.

In Fig. 2a sind die vier, mittels der Potentiometer $P_1 - P_4$ des Triggerschwellenformers 17 variabel einstellbaren Triggerschwellenformers $TSS_1 - TSS_4$ zusammen mit den beiden periodischen Abtastsignalen S_1, S_2 dargestellt. Erfindungsgemäß werden die Amplitudenhöhen $A_1, -A_1, A_2, -A_2$ der beiden Abtastsignale S_1, S_2 zu beiden Seiten ihrer Nulllinie N jeweils auf einen oberen Grenzwert G_1, G_4 und auf einen unteren Grenzwert G_2, G_3 überprüft; diese vier Grenzwerte $G_1 - G_4$ werden durch die vier Triggerschwellenspannungen $TSS_1 - TSS_4$ gebildet. In Fig. 2a sind die vier Triggerschwellenspannungen $TSS_1 - TSS_4$ für den Fall dargestellt, daß die erste obere Triggerschwellenspannung TSS_1 sowie die vierte obere Triggerschwellenspannung TSS_4 ihre unteren zulässigen Grenzlagen und die zweite untere Triggerschwellenspannung TSS_2 sowie die dritte untere Triggerschwellenspannung TSS_3 ihre oberen zulässigen Grenzlagen symmetrisch zu beiden Seiten der Nulllinie N bezüglich der beiden Abtastsignale S_1, S_2 einnehmen, die durch eine dem Triggerschwellenformer 17 zugeführte Spannung VO eingestellt wird. Die beim oberen Signalzustand (logisch Eins) des ersten Taktsignals T_1 erzeugte erste obere Triggerschwellenspannung TSS_1 liegen im Bereich $TSS_1 \geq VO + A$ und die beim oberen Signalzustand des ersten Taktsignals T_1 erzeugte vierte obere Triggerschwellenspannung TSS_4 im Bereich $TSS_4 \leq VO - A$. Die beim unteren Signalzustand (logisch Null) des ersten Taktsignals T_1 erzeugte zweite untere Triggerschwellenspannung TSS_2 liegen im Bereich $TSS_2 \leq VO + A/\sqrt{2}$ und die beim unteren Signalzustand des ersten Taktsignals T_1 erzeugte dritte untere Triggerschwellenspannung TSS_3 im Bereich $TSS_3 \geq VO - A/\sqrt{2}$; A bedeutet den Betrag der beiden gleichen Amplitudenhöhen $A_1, A_2 : A = |A_1| = |A_2|$.

In Fig. 2a tangieren die erste obere Triggerschwellenspannung TSS_1 und die vierte obere Triggerschwellenspannung TSS_4 im Falle ihrer unteren zulässigen Grenzlagen die beiden Abtastsignale S_1, S_2 in den Scheitelpunkten ihrer maximalen Amplitudenhöhen $A_1, -A_1, A_2, -A_2$, während die zweite untere Triggerschwellenspannung TSS_2 und die dritte untere Triggerschwellenspannung TSS_3 im Falle ihrer oberen zulässigen Grenzlagen in den gemeinsamen Schnittpunkten der beiden Abtastsignale S_1, S_2 liegen.

In Fig. 2b sind die vier oberen Triggersignale $TS_{1o}, TS_{2o}, TS_{3o}, TS_{4o}$ über der Zeit t an den Ausgängen der vier Trigger TR_1, TR_2, TR_3, TR_4 der Logikschal-

tung 14 dargestellt, die sich aus den Grenzlagen nur der ersten oberen Triggerschwellenspannung TSS_1 und der vierten oberen Triggerschwellenspannung TSS_4 bezüglich der Abtastsignale S_1, S_2 nach Fig. 2a ergeben. Die erste obere Triggerschwellenspannung TSS_1 und die vierte obere Triggerschwellenspannung TSS_4 ändern die oberen Schaltzustände (logisch Eins) der vier Trigger TR_1, TR_2, TR_3, TR_4 weder bei ihrem Anliegen noch bei ihrem Nichtanliegen nach Maßgabe des oberen oder des unteren Signalzustandes des ersten Taktsignals T_1 , wie aus Fig. 2a ersichtlich ist, so daß das erste und das dritte obere Triggersignal TS_{1o}, TS_{3o} des ersten und des dritten Triggers TR_1, TR_3 in diesem Fall jeweils den unteren Signalzustand (logisch Null) sowie das zweite und das vierte obere Triggersignal TS_{2o}, TS_{4o} des zweiten und des vierten Triggers TR_2, TR_4 jeweils den oberen Signalzustand (logisch Eins) innehaben. Aus dem ersten oberen Triggersignal TS_{1o} und dem zweiten oberen Triggersignal TS_{2o} werden durch das erste Alternativgatter O_1 ein erstes oberes Alternativsignal R_{12o} mit einem oberen Signalzustand sowie aus dem dritten oberen Triggersignal TS_{3o} und dem vierten oberen Triggersignal TS_{4o} durch das zweite Alternativgatter O_2 ein zweites oberes Alternativsignal R_{34o} mit einem oberen Signalzustand gebildet. Aus der logischen Verknüpfung der beiden oberen Alternativsignale R_{12o}, R_{34o} ergibt sich am Ausgang des Umgatters U ein oberes Logiksignal LS_0 der Logikschaltung 14, das den oberen Signalzustand (logisch Eins) innehat. In Fig. 2c sind die vier unteren Triggersignale $TS_{1u}, TS_{2u}, TS_{3u}, TS_{4u}$ über der Zeit t an den Ausgängen der vier Trigger $TR_1 - TR_4$ der Logikschaltung 14 gezeigt, die sich aus den Grenzlagen nur der zweiten unteren Triggerschwellenspannung TSS_2 und der dritten unteren Triggerschwellenspannung TSS_3 im Falle ihres ständigen Vorhandenseins bezüglich der beiden Abtastsignale S_1, S_2 nach Fig. 2a ergeben. Beim ersten Schnittpunkt des ersten Abtastsignals S_1 mit der zweiten unteren Triggerschwellenspannung TSS_2 ändern sich der untere Schaltzustand (logisch Null) der ersten Triggers TR_1 auf den oberen Schaltzustand (logisch Eins) und beim zweiten Schnittpunkt des ersten Abtastsignals S_1 mit der zweiten unteren Triggerschwellenspannung TSS_2 der obere Schaltzustand wieder auf den unteren Schaltzustand des ersten Triggers TR_1 , so daß am Ausgang des ersten Triggers TR_1 die erste untere Triggersignal TS_{1u} ansteht. Beim ersten Schnittpunkt des zweiten Abtastsignals S_2 mit der zweiten unteren Triggerschwellenspannung TSS_2 ändern sich der untere Schaltzustand des dritten Triggers TR_3 auf den oberen Schaltzustand und beim zweiten Schnittpunkt des zweiten Abtastsignals S_2 mit der zweiten unteren Triggerschwellenspannung TSS_2 der obere Schaltzustand wieder auf den unteren Schaltzustand des dritten Triggers TR_3 , so daß am Ausgang des dritten Triggers TR_3 das dritte untere Triggersignal TS_{3u} ansteht. In gleicher Weise ergeben sich die Änderungen der Schaltzustände des zweiten Triggers TR_2 und des vierten Triggers TR_4 an den Schnittpunkten der dritten unteren Triggerschwellenspannung TSS_3 mit dem ersten Abtastsignal S_1 und dem zweiten Abtastsignal S_2 , so daß am Ausgang des zweiten Triggers TR_2 das zweite untere Triggersignal TS_{2u} und am Ausgang des vierten Triggers TR_4 das vierte untere Triggersignal TS_{4u} erscheinen. Aus dem ersten unteren Triggersignal TS_{1u} und dem zweiten unteren Triggersignal TS_{2u} werden durch das erste Alternativgatter O_1 ein erstes unteres Alternativsignal R_{12u} sowie aus dem

dritten unteren Triggersignal $TS3u$ und dem vierten unteren Triggersignal $TS4u$ durch das zweite Alternativgatter $O2$ ein zweites unteres Alternativsignal $R34u$ gebildet. Aus der logischen Verknüpfung der beiden unteren Alternativsignale $R12u, R34u$ ergibt sich am Ausgang des Undgatters U ein unteres Logiksignal LSu der Logikschaltung 14, das den unteren Signalzustand (logisch Null) innehat.

Das obere Logiksignal LSo nach Fig. 2b und das untere Logiksignal LSu nach Fig. 2c ergeben unter Steuerung durch das erste Taktignal $T1$ das resultierende Logiksignal LS nach Fig. 4, das am Ausgang der Logikschaltung 14 ansteht, da während des oberen Signalzustandes des ersten Taktsignals $T1$ lediglich die erste obere Triggerschwellenspannung $TSS1$ und die vierte obere Triggerschwellenspannung $TSS4$ an den Eingängen der vier Trigger $TR1 - TR4$ anliegen und somit an den Ausgängen der vier Trigger $TR1 - TR4$ für diesen Zeitraum die vier oberen Triggersignale $TS1o - TS4o$ erscheinen, so daß das resultierende Logiksignal LS ebenfalls den oberen Signalzustand gemäß dem oberen Logiksignal LSo während der Dauer des oberen Signalzustandes des ersten Taktsignals $T1$ innehat. Während des unteren Signalzustandes des ersten Taktsignals $T1$ dagegen liegen lediglich die zweite untere Triggerschwellenspannung $TSS2$ und die dritte untere Triggerschwellenspannung $TSS3$ an den Eingängen der vier Trigger $TR1 - TR4$ an, so daß an den Ausgängen der vier Trigger $TR1 - TR4$ für diesen Zeitraum die vier unteren Triggersignale $TS1u - TS4u$ erscheinen und das resultierende Logiksignal LS gemäß dem unteren Logiksignal LSu ebenfalls den unteren Signalzustand während der Dauer des unteren Signalzustandes des ersten Taktsignals $T1$ innehat. Das resultierende Logiksignal LS ist nach Fig. 4 somit mit dem ersten Taktignal $T1$ des ersten Taktgebers 16 für den fehlerfreien Zustand der beiden Abtastsignale $S1, S2$ gemäß Fig. 2a identisch, d. h. dieses Logiksignal LS bildet für diesen fehlerfreien Zustand der beiden Abtastsignale $S1, S2$ das erste Taktignal $T1$ nach.

Dieses resultierende Logiksignal LS der Logikschaltung 14 wird gemäß Fig. 3 dem Vergleicher 15 zugeführt, dem zusätzlich noch das erste Taktignal $T1$ des ersten Taktgebers 16 sowie das zweite Taktignal $T2$ des zweiten Taktgebers 18 zugeleitet werden. Dieses zweite Taktignal $T2$ wird vom zweiten Taktgeber 18 mittels eines an Masse M angeschlossenen Zeitgliedes $R9, C2$, eines Widerstandes $R10$ und eines invertierenden Triggers $TT3$ aus dem ersten Taktignal $T1$ abgeleitet und besitzt gegenüber dem ersten Taktignal $T1$ einen bestimmten vorgebbaren Phasenversatz.

Der Vergleicher 15 besteht aus einem ersten Inverter $I1$, dem das erste Taktignal $T1$ zugeführt wird, und aus einem zweiten Inverter $I2$, dem das zweite Taktignal $T2$ zugeleitet wird; die beiden Inverter $I1, I2$ sind an die Eingänge eines ersten Nandgatters $N1$ angeschaltet: Ein zweites Nandgatter $N2$ wird an seinem ersten Eingang vom Logiksignal LS der Logikschaltung 14 und an seinem zweiten Eingang vom zweiten Taktignal $T2$ beaufschlagt. An das erste Nandgatter $N1$ und an das zweite Nandgatter $N2$ ist ein drittes Nandgatter $N3$ angeschlossen, das das Erkennungssignal ES für das Vorliegen oder Nichtvorliegen eines Fehlerzustandes liefert. Dieses Erkennungssignal ES besitzt die Form eines periodischen Rechtecksignals mit einem bestimmten Tastverhältnis nach Maßgabe des Phasenversatzes des zweiten Taktsignals $T2$ gegenüber dem ersten Taktignal $T1$ beim Vorliegen eines fehlerfreien Zu-

standes und die Form eines unperiodischen Rechtecksignals mit einem veränderten Tastverhältnis an der Fehlerstelle FS beim Vorliegen eines Fehlerfalls. Das Erkennungssignal ES wird einer Auswerteeinheit 19 mit zwei parallelen monostabilen Kippstufen $MF1, MF2$, einem Odergatter O , einer bistabilen Kippstufe FF , einem Verstärker VS sowie einer Warnlampe WL zugeleitet.

In Fig. 4 ist ein Diagramm des Signalverlaufs über der Zeit t des ersten Taktsignals $T1$ des ersten Taktgebers 16, des Logiksignals LS der Logikschaltung 14 und des zweiten Taktsignals $T2$ des zweiten Taktgebers 18 an den Eingängen des Vergleichers 15 für den fehlerfreien Zustand der Abtastsignale $S1, S2$ nach Fig. 2a dargestellt; in diesem fehlerfreien Zustand liegen die Amplitudenhöhen $A1, -A1, A2, -A2$ der Abtastsignale $S1, S2$ im erlaubten Bereich zwischen der ersten oberen und der zweiten unteren Triggerschwellenspannung $TSS1, TSS2$ bzw. zwischen der vierten oberen und der dritten unteren Triggerschwellenspannung $TSS4, TSS3$. Da sich die oberen Triggersignale $TS1o, TS2o, TS3o, TS4o$ und die unteren Triggersignale $TS1u, TS2u, TS3u, TS4u$ der vier Trigger $TR1, TR2, TR3, TR4$ in diesem fehlerfreien Zustand der beiden Abtastsignale $S1, S2$ aus den vom ersten Taktignal $T1$ gesteuerten vier Triggerschwellenspannung $TSS1, TSS2, TSS3, TSS4$ ergeben, ist das aus diesen oberen Triggerignalen $TS1o, TS2o, TS3o, TS4o$ und diesen unteren Triggerignalen $TS1u, TS2u, TS3u, TS4u$ resultierende Logiksignal LS mit dem ersten Taktignal $T1$ identisch, wie oben bereits dargelegt. Die Verknüpfung des Logiksignals LS , des ersten Taktsignals $T1$ und des gegenüber dem ersten Taktignal $T1$ phasenversetzten zweiten Taktsignals $T2$ im Vergleicher 15 ergibt bei Gleichheit zwischen dem Logiksignal LS und dem ersten Taktignal $T1$ am Ausgang des Vergleichers 15 das periodische Erkennungssignal ES in Form eines Rechtecksignals mit einem durch den Phasenversatz zwischen dem ersten Taktignal $T1$ und dem zweiten Taktignal $T2$ bestimmten Tastverhältnis.

Das Erkennungssignal ES wird vom Vergleicher 15 nach folgender Gesetzmäßigkeit gebildet:

1. $ES = T2$ für $LS = T1 = 1$
2. $ES = T2$ für $LS = T1 = 0$
3. $ES = LS$ für $LS \neq T1$

Dieser Vergleicher 15 ist eigensicher aufgebaut, so daß bei einem fehlerhaften Arbeiten des Vergleichers 15 ebenfalls ein unperiodisches Erkennungssignal ES erzeugt wird. Ein derartiger Vergleicher 15 ist beispielsweise in der DE-PS 22 07 224 beschrieben.

Das vom Vergleicher 15 nach den beiden ersten obigen Gesetzmäßigkeiten gebildete periodische Erkennungssignal ES für den fehlerfreien Zustand wird gleichzeitig den beiden parallelen monostabilen Kippstufen $MF1, MF2$ der Auswerteeinheit 19 zugeführt, denen das Odergatter O nachgeschaltet ist. Beispielsweise mögen die erste monostabile Kippstufe $MF1$ von der ansteigenden Flanke des periodischen Erkennungssignals ES und die zweite monostabile Kippstufe $MF2$ von der absteigenden Flanke des periodischen Erkennungssignals ES aus dem stabilen Zustand in den instabilen Zustand versetzt werden. Die beiden monostabilen Kippstufen $MF1, MF2$ besitzen eine derartige Zeitkonstante, daß die Dauer dieser instabilen Zustände etwas größer als die Periodendauer des periodischen Erkennungssignals ES ist; diese Periodendauer ist der zeitliche

Abstand zwischen je zwei ansteigenden Flanken oder zwischen je zwei ansteigenden Flanken des periodischen Erkennungssignals ES . Im fehlerfreien Zustand werden die beiden Kippstufen $MF1, MF2$ durch das periodische Erkennungssignal ES somit ständig in ihren instabilen Zuständen gehalten, so daß die bistablen Kippstufe FF nicht über das Odergatter O angesteuert wird, um über den Verstärker VS die Warnlampe WL zu betätigen.

In Fig. 5 ist ein Signaldiagramm gemäß Fig. 2 für einen ersten fehlerhaften Zustand in einem vergrößerten Ausschnitt dargestellt. Das fehlerfreie erste Abtastsignal $S1$ besitzt eine korrekte Amplitudenhöhe $A1$, während das fehlerbehaftete zweite Abtastsignal $S2$ einen fehlerhaften Signalparameter in Form einer zu kleinen Amplitudenhöhe $A2$ aufweist; zum Vergleich ist das fehlerfreie zweite Abtastsignal $S2$ mit einer korrekten Amplitudenhöhe $A2$ eingezeichnet. Die erste obere Triggerschwellenspannung $TSS1$ und die nicht gezeigte vierte obere Triggerschwellenspannung $TSS4$ ändern die oberen Schaltzustände der vier Trigger $TR1 - TR4$ weder bei ihrem Anliegen noch bei ihrem Nichtanliegen nach Maßgabe des oberen oder des unteren Signalzustandes des ersten Taktsignals $T1$, so daß die vier nicht gezeigten oberen Triggersignale $TS1o - TS4o$ der vier Trigger $TR1 - TR4$ mit denjenigen nach Fig. 2b übereinstimmen; aus der logischen Verknüpfung der vier oberen Triggersignale $TS1o - TS4o$ der vier Trigger $TR1 - TR4$ der Logikschaltung 14 ergibt sich somit das obere Logiksignal LSo mit einem oberen Signalzustand (logisch Eins) in Übereinstimmung mit Fig. 2b.

Die zweite untere Triggerschwellenspannung $TSS2$ und die nicht gezeigte dritte untere Triggerschwellenspannung $TSS3$ erzeugen bei ihrem ständigen Vorhandensein die vier unteren Triggersignale $TS1u, TS2u, TS3u1, TS4u$ an den Ausgängen der vier Trigger $TR1 - TR4$ der Logikschaltung 14. Während das erste untere Triggersignal $TS1u$, das zweite untere Triggersignal $TS2u$ und das vierte untere Triggersignal $TS4u$ mit denjenigen der Fig. 2c übereinstimmen, zeigt das dritte untere Triggersignal $TS3u1$ an den Fehlerstellen $FS1a, FS1b$ eine Abweichung vom exakten Schaltzeitpunkt. Aufgrund dieser Abweichung des dritten unteren Triggersignals $TS3u1$ besitzt das aus der logischen Verknüpfung der vier unteren Triggersignale $TS1u, TS2u, TS3u1, TS4u$ gewonnene untere Logiksignal $LSu1$ an den Fehlerstellen $FS1a, FS1b$ den oberen Signalzustand (logisch Eins) und im übrigen Bereich den unteren Signalzustand (logisch Null). Das obere Logiksignal LSo und das untere Logiksignal $LSu1$ ergeben unter Steuerung durch das erste Taktsignal $T1$ das resultierende Logiksignal $LS1$ am Ausgang der Logikschaltung 14. Dieses resultierende Logiksignal $LS1$ ist – wie aus Fig. 5 ersichtlich – an den Fehlerstellen $FS1a, FS1b$ nicht mehr mit dem ersten Taktsignal $T1$ des ersten Taktgebers 16 identisch, so daß am Ausgang des Vergleichers 15 ein erstes unperiodisches Erkennungssignal $ES1$ mit einem an den Fehlerstellen $FS1a, FS1b$ veränderten Tastverhältnis aufgrund der obigen dritten Gesetzmäßigkeit erscheint.

Dieses erste unperiodische Erkennungssignal $ES1$ für den ersten fehlerhaften Zustand wird gleichzeitig den beiden parallelen monostabilen Kippstufen $MF1, MF2$ der Auswerteeinheit 19 zugeführt. An der Fehlerstelle $FS1a$ ist die erste ansteigende Flanke des ersten unperiodischen Erkennungssignals $ES1$ um ein Drittel seiner Periode im fehlerfreien Bereich nach links in Richtung

der negativen Zeitachse t verschoben. Der zeitliche Abstand zwischen dieser nach links verschobenen ersten ansteigenden Flanke und der in positiver Richtung der Zeitachse t folgenden zweiten ansteigenden Flanke des ersten unperiodischen Erkennungssignals $ES1$ ist größer als die Dauer des instabilen Zustandes der ersten monostabilen Kippstufe $MF1$, die somit vor dem Erreichen der zweiten ansteigenden Flanke des ersten unperiodischen Erkennungssignals $ES1$ aus dem instabilen Zustand in den stabilen Zustand umschaltet und damit die bistabile Kippstufe FF zur Bestätigung der Warnlampe WL zur Anzeige dieses ersten fehlerhaften Zustandes ansteuert. An der Fehlerstelle $FS1b$ schaltet die zweite monostabile Kippstufe $MF2$ aus ihrem instabilen Zustand in ihren stabilen Zustand aufgrund des gegenüber der Dauer des instabilen Zustandes der zweiten monostabilen Kippstufe $MF2$ größeren zeitlichen Abstandes zwischen den betreffenden beiden absteigenden Flanken des ersten unperiodischen Erkennungssignals $ES1$ um und bewirkt ebenfalls die Anzeige dieses ersten fehlerhaften Zustandes mittels der Warnlampe WL .

Dieser erste fehlerhafte Zustand beinhaltet den Fall fehlerhafter Amplitudenhöhen des zweiten Abtastsignals $S21$ und/oder den Fall einer Amplitudenhöhenübereinstimmung zwischen den beiden Abtastsignalen $S1, S21$.

In Fig. 6 ist ein Signaldiagramm gemäß Fig. 2 für einen zweiten fehlerhaften Zustand in einem vergrößerten Ausschnitt dargestellt. Sowohl das erste fehlerbehaftete Abtastsignal $S21$ als auch das zweite fehlerbehaftete Abtastsignal $S22$ weisen den fehlerhaften Signalparameter einer gleich großen Unsymmetrie bezüglich ihrer Nulllinie N auf, so daß ihre Amplitudenhöhen $A12, A22$ gegenüber ihren nicht gezeigten korrekten Amplitudenhöhen $A1, A2$ nach Fig. 2a zu groß sind. Die erste obere Triggerschwellenspannung $TSS1$ erzeugt das erste obere Triggersignal $TS1o2$ des ersten Triggers $TR1$ und das dritte obere Triggersignal $TS3o2$ des dritten Triggers $TR3$ mit an den Fehlerstellen $FS2a, FS2b$ gegenüber der Fig. 2b veränderten Signalzuständen bei ihrem ständigen Anliegen, während die nicht dargestellte vierte obere Triggerschwellenspannung $TSS4$ die oberen Schaltzustände des zweiten und des vierten Triggers $TR2, TR4$ weder bei ihrem Anliegen noch bei ihrem Nichtanliegen ändert, so daß das zweite obere Triggersignal $TS2o$ und das vierte obere Triggersignal $TS4o$ jeweils unverändert den oberen Signalzustand innehaben. Aus der logischen Verknüpfung der vier oberen Triggersignale $TS1o2, TS2o, TS3o2, TS4o$ der vier Trigger $TR1 - TR4$ der Logikschaltung 14 ergibt sich somit das obere Logiksignal $LSo2$ mit an den Fehlerstellen $FS2a, FS2b$ gegenüber dem fehlerfreien Zustand abweichenden Signalzuständen.

Die zweite untere Triggerschwellenspannung $TSS2$ und die nicht dargestellte dritte untere Triggerschwellenspannung $TSS3$ erzeugen bei ihrem ständigen Vorhandensein die vier unteren Triggersignale $TS1u2, TS2u, TS3u2, TS4u$ an den Ausgängen der vier Trigger $TR1 - TR4$ der Logikschaltung 14, die jeweils eine Abweichung vom exakten Schaltzeitpunkt des fehlerfreien Zustandes aufweisen. Das aus der logischen Verknüpfung der vier unteren Triggersignale $TS1u2, TS2u, TS3u2, TS4u$ gewonnene untere Logiksignal LSu stimmt jedoch mit dem fehlerfreiem Zustand gemäß Fig. 2c überein.

Das obere Logiksignal $LSo2$ und das untere Logiksignal LSu ergeben unter Steuerung durch das erste Taktsignal $T1$ das resultierende Logiksignal $LS2$ am Aus-

gang der Logikschaltung 14. Dieses resultierende Logiksignal LS_2 ist — wie aus Fig. 6 ersichtlich — an den Fehlerstellen FS_{2a} , FS_{2b} nicht mehr mit dem ersten Taktignal T_1 des ersten Taktgebers 16 identisch, so daß am Ausgang des Vergleichers 15 ein zweites unperiodisches Erkennungssignal ES_2 mit einem an den Fehlerstellen FS_{2a} , FS_{2b} veränderten Tastverhältnis aufgrund der obigen dritten Gesetzmäßigkeit erscheint. Dieses zweite unperiodische Erkennungssignal ES_2 löst an den beiden Fehlerstellen FS_{2a} , FS_{2b} — wie anhand der Fig. 5 beschrieben — sowohl mit ihren ansteigenden Flanken als auch mit ihren absteigenden Flanken die Anzeige dieses zweiten fehlerhaften Zustandes mittels der Warnlampe WL aus.

Dieser zweite fehlerhafte Zustand beinhaltet den Fall fehlerhafter Amplitudenhöhen und/oder den Fall einer Unsymmetrie der beiden Abtastsignale A_{12} , A_{22} .

In Fig. 7 ist ein Signaldiagramm gemäß Fig. 2 für einen dritten fehlerhaften Zustand in einem vergrößerten Ausschnitt dargestellt. Das fehlerfreie erste Abtastsignal S_1 besitzt eine korrekte Amplitudenhöhe A_1 und eine korrekte Phasenlage, während das fehlerbehaftete zweite Abtastsignal S_{23} zwar eine korrekte Amplitudenhöhe A_2 , aber einen fehlerhaften Signalparameter in Form einer um den Betrag $\Delta\phi$ fehlerhaften Phasendifferenz bezüglich des ersten Abtastsignals S_1 aufweist; zum Vergleich ist das fehlerfreie zweite Abtastsignal S_2 mit einer korrekten Phasendifferenz von $\pi/2$ (90°) eingezeichnet. Wie aus der Fig. 7 ohne weiteres ersichtlich, besitzt das obere Logiksignal LS_0 den oberen Signalzustand (logisch Eins) gemäß dem fehlerfreien Zustand in Übereinstimmung mit Fig. 2b.

Während das erste untere Triggersignal TS_{1u} , das zweite untere Triggersignal TS_{2u} und das vierte untere Triggersignal TS_{4u} mit denjenigen der Fig. 2c für den fehlerfreien Zustand übereinstimmen, zeigt das dritte untere Triggersignal TS_{3u3} an der Fehlerstelle FS_3 eine Abweichung vom exakten Schaltzeitpunkt. Aufgrund dieser Abweichung des dritten unteren Triggersignals TS_{3u3} besitzt das aus der logischen Verknüpfung der vier unteren Triggersignale TS_{1u} , TS_{2u} , TS_{3u3} , TS_{4u} gewonnene untere Logiksignal LS_{u3} an der Fehlerstelle FS_3 den oberen Signalzustand (logisch Eins) und im übrigen Bereich den unteren Signalzustand (logisch Null).

Das obere Logiksignal LS_0 und das untere Logiksignal LS_{u3} ergeben unter Steuerung durch das erste Taktignal T_1 das resultierende Logiksignal LS_3 am Ausgang der Logikschaltung 14. Dieses resultierende Logiksignal LS_3 ist — wie aus Fig. 7 ersichtlich — an der Fehlerstelle FS_3 nicht mehr mit dem ersten Taktignal T_1 des ersten Taktgebers 16 identisch, so daß am Ausgang des Vergleichers 15 ein drittes unperiodisches Erkennungssignal ES_3 mit einem an der Fehlerstelle FS_3 veränderten Tastverhältnis aufgrund der obigen dritten Gesetzmäßigkeit erscheint. Dieses dritte unperiodische Erkennungssignal ES_3 löst an der Fehlerstelle FS_3 — wie anhand der Fig. 5 beschrieben — mit ihren ansteigenden Flanken die Anzeige dieses dritten fehlerhaften Zustandes mittels der Warnlampe WL aus.

Bei der vorgehend beschriebenen Fehlererkennungseinrichtung F erfolgt als wesentliches Charakteristikum die Überprüfung der Amplitudenhöhen A_1 , $-A_1$, A_2 , $-A_2$ von Abtastsignalen S_1 , S_2 zu beiden Seiten ihrer Nulllinie N jeweils auf einen oberen Grenzwert G_1 , G_4 und auf einen unteren Grenzwert G_2 , G_3 mittels des ersten Taktsignals T_1 periodisch alternierend. Diese Fehlererkennungseinrichtung F ermöglicht eine eigen-

fehlersichere Erkennung fehlerhafter Signalparameter von Abtastsignalen (fehlerhafte Amplitudenhöhen, Unsymmetrie, Amplitudenhöhenungleichheit und fehlerhafte Phasendifferenz) einzeln oder in beliebiger Kombination.

In Fig. 8 ist eine weitere Fehlererkennungseinrichtung FT gezeigt, bei der die Überprüfung der Amplitudenhöhen A_1 , $-A_1$, A_2 , $-A_2$ der Abtastsignale S_1 , S_2 zu beiden Seiten ihrer Nulllinie N jeweils auf einen oberen Grenzwert G_1 , G_4 und auf einen unteren Grenzwert G_2 , G_3 nicht periodisch alternierend, sondern statisch erfolgt, indem die vier Triggerschwellenspannungen TSS_1 , TSS_2 , TSS_3 , TSS_4 ständig an den Eingängen einer Logikschaltung 24 anliegen. Diese Logikschaltung 24 weist einmal einen ersten oberen Fenstertrigger FT_{1o} und einen zweiten oberen Fenstertrigger FT_{2o} und zum anderen einen ersten unteren Fenstertrigger FT_{1u} und einen zweiten unteren Fenstertrigger FT_{2u} auf. Die Ausgänge des ersten oberen Fenstertriggers FT_{1o} und des zweiten oberen Fenstertriggers FT_{2o} sind an die Eingänge eines oberen Undgatters U_o sowie die Ausgänge des ersten unteren Fenstertriggers FT_{1u} und des zweiten unteren Fenstertriggers FT_{2u} an die Eingänge eines unteren Nandgatters N_u angeschlossen; die Ausgänge des oberen Undgatters U_o und des unteren Nandgatters N_u sind mit den Eingängen eines Undgatters U verbunden. Der erste obere Fenstertrigger FT_{1o} besteht aus zwei parallelen oberen Triggern TR_{1o} , TR_{2o} , deren nichtinvertierenden Eingängen das erste Abtastsignal S_1 zugeführt wird und deren Ausgänge jeweils mit einem Eingang eines ersten oberen Antivalenzgatters O_{1o} (Exclusiv-Odergatter) verbunden sind. Der zweite obere Fenstertrigger FT_{2o} besteht aus zwei parallelen oberen Triggern TR_{3o} , TR_{4o} , deren nichtinvertierenden Eingängen das zweite Abtastsignal S_2 zugeführt wird und deren Ausgänge jeweils mit einem Eingang eines zweiten oberen Antivalenzgatters O_{2o} verbunden sind. Der erste untere Fenstertrigger FT_{1u} weist zwei parallele untere Trigger TR_{1u} , TR_{2u} auf, deren nichtinvertierenden Eingängen das erste Abtastsignal S_1 zugeführt wird und deren Ausgänge jeweils mit einem Eingang eines ersten unteren Antivalenzgatters O_{1u} verbunden sind. Der zweite untere Fenstertrigger FT_{2u} weist zwei parallele untere Trigger TR_{3u} , TR_{4u} auf, deren nichtinvertierenden Eingängen das zweite Abtastsignal S_2 zugeführt wird und deren Ausgänge jeweils mit einem Eingang eines zweiten unteren Antivalenzgatters O_{2u} verbunden sind.

Ein Triggerschwellenformer 27 mit zwei Widerständen R_{11} , R_{12} und vier Potentiometer P_5 – P_8 ist zur Lieferung von vier Triggerschwellenspannungen TSS_1 – TSS_4 an der Logikschaltung 24 angeschlossen. Die erste Triggerschwellenspannung TSS_1 ist an die invertierenden Eingänge des ersten oberen Triggers TR_{1o} und des dritten oberen Triggers TR_{3o} und die vierte obere Triggerschwellenspannung TSS_4 an die invertierenden Eingänge des zweiten oberen Triggers TR_{2o} und des vierten oberen Triggers TR_{4o} angelegt. In gleicher Weise sind die zweite untere Triggerschwellenspannung TSS_2 an die invertierenden Eingänge des ersten unteren Triggers TR_{1u} und des dritten unteren Triggers TR_{3u} sowie die dritte untere Triggerschwellenspannung TSS_3 an die invertierenden Eingänge des zweiten unteren Triggers TR_{2u} und des vierten unteren Triggers TR_{4u} angelegt. Das vom Undgatter U der Logikschaltung 24 gelieferte charakteristische Erkennungssignal ES_5 für den fehlerfreien Zustand in Form

eines Gleichspannungssignals wird einer Auswerteeinheit 29 mit einer bistablen Kippstufe FF , einem Verstärker VS und einer Warnlampe WL zugeführt.

In Fig. 9 ist ein fehlerfreier Zustand entsprechend der Fig. 2 dargestellt. Die oberen Triggersignale $TS_{1o}-TS_{4o}$ der vier oberen Trigger $TR_{1o}-TR_{4o}$, die beiden oberen Antivalenzsignale R_{12o}, R_{34o} der beiden oberen Antivalenzgatter O_{1o}, O_{2o} sowie das obere Logiksignal LS_o des oberen Undgatters U_o sind mit denjenigen der Fig. 2b identisch. Desgleichen sind die unteren Triggersignale $TS_{1u}-TS_{4u}$ der vier unteren Trigger $TR_{1u}-TR_{4u}$ und die beiden unteren Antivalenzsignale R_{12u}, R_{34u} der beiden unteren Antivalenzgatter O_{1u}, O_{2u} mit denjenigen der Fig. 2c identisch. Lediglich das untere Logiksignal LS_u des unteren Nandgatters N_u ist gegenüber dem unteren Logiksignal LS_u der Fig. 2c invertiert. Das Undgatter U der Logikschaltung 24 liefert daher ein Erkennungssignal ES_s mit einem oberen Signalzustand (logisch Eins) für den fehlerfreien Zustand. Dieses Erkennungssignal ES_s in Form eines Gleichspannungssignals mit einem oberen Signalzustand steuert die bistable Kippstufe FF der Auswerteeinheit 29 nicht an, so daß die Warnlampe WL bei diesem fehlerfreien Zustand nicht aufleuchtet.

In Fig. 10 ist ein erster fehlerhafter Zustand entsprechend der Fig. 5 dargestellt. Das obere Logiksignal LS_o des oberen Undgatters U_o , die unteren Triggersignale $TS_{1u}, TS_{2u}, TS_{3u1}, TS_{4u}$ der unteren Trigger $TR_{1u}-TR_{4u}$ sowie die beiden unteren Antivalenzsignale R_{12u}, R_{34u1} der beiden unteren Antivalenzgatter O_{1u}, O_{2u} stimmen mit denjenigen der Fig. 5 über ein. Lediglich das untere Logiksignal LS_u1 des unteren Nandgatters N_u ist gegenüber dem unteren Logiksignal LS_u1 der Fig. 5 invertiert. Das Undgatter U der Logikschaltung 24 liefert daher ein Erkennungssignal ES_s1 für den ersten fehlerhaften Zustand. Dieses Erkennungssignal ES_s1 besitzt an den Fehlerstellen FS_{1a}, FS_{1b} den unteren Signalzustand und außerhalb der Fehlerstellen FS_{1a}, FS_{1b} den oberen Signalzustand. Die bistable Kippstufe FF wird von den absteigenden Flanken des Erkennungssignals ES_s1 an den Fehlerstellen FS_{1a}, FS_{1b} angesteuert, so daß die Warnlampe WL diesen ersten fehlerhaften Zustand anzeigt.

In Fig. 11 ist ein zweiter fehlerhafter Zustand entsprechend der Fig. 6 gezeigt. Die oberen Triggersignale $TS_{1o2}, TS_{2o2}, TS_{3o2}, TS_{4o2}$ der vier oberen Trigger $TR_{1o}-TR_{4o}$, die beiden oberen Antivalenzsignale R_{12o2}, R_{34o2} der beiden oberen Antivalenzgatter O_{1o}, O_{2o} sowie das obere Logiksignal LS_o2 des oberen Undgatters U_o sind mit denjenigen der Fig. 6 identisch. Desgleichen sind die unteren Triggersignale $TS_{1u2}, TS_{2u}, TS_{3u2}, TS_{4u}$ der vier unteren Trigger $TR_{1u}-TR_{4u}$ und die beiden unteren Antivalenzsignale R_{12u2}, R_{34u2} der beiden unteren Antivalenzgatter O_{1u}, O_{2u} mit denjenigen der Fig. 6 identisch. Lediglich das untere Logiksignal LS_u des unteren Nandgatters N_u ist gegenüber dem unteren Logiksignal LS_u der Fig. 6 invertiert. Das Undgatter U der Logikschaltung 24 liefert daher ein Erkennungssignal ES_s2 für den zweiten fehlerhaften Zustand. Dieses Erkennungssignal ES_s2 besitzt an den Fehlerstellen FS_{2a}, FS_{2b} den unteren Signalzustand und außerhalb der Fehlerstellen FS_{2a}, FS_{2b} den oberen Signalzustand. Die bistable Kippstufe FF wird von den absteigenden Flanken des Erkennungssignals ES_s2 an den Fehlerstellen FS_{2a}, FS_{2b} angesteuert, so daß die Warnlampe WL diesen zweiten fehlerhaften Zustand anzeigt.

In Fig. 12 ist ein dritter fehlerhafter Zustand entspre-

chend der Fig. 7 dargestellt. Das obere Logiksignal LS_o des oberen Undgatters U_o , die unteren Triggersignale $TS_{1u}, TS_{2u}, TS_{3u3}, TS_{4u}$ der vier unteren Trigger $TR_{1u}-TR_{4u}$ sowie die beiden unteren Antivalenzsignale R_{12u}, R_{34u3} der beiden unteren Antivalenzgatter O_{1u}, O_{2u} stimmen mit denjenigen der Fig. 7 überein. Lediglich das untere Logiksignal LS_u3 des unteren Nandgatters N_u ist gegenüber dem unteren Logiksignal LS_u3 der Fig. 7 invertiert. Das Undgatter U der Logikschaltung 24 liefert daher ein Erkennungssignal ES_s3 für den dritten fehlerhaften Zustand. Dieses Erkennungssignal ES_s3 besitzt an der Fehlerstelle FS_3 den unteren Signalzustand und außerhalb der Fehlerstelle FS_3 den oberen Signalzustand. Die bistable Kippstufe FF wird von der absteigenden Flanke des Erkennungssignals ES_s3 an der Fehlerstelle FS_3 angesteuert, so daß die Warnlampe WL diesen dritten fehlerhaften Zustand anzeigt.

Die Erfindung ist sowohl bei absoluten als auch bei inkrementalen Längen- oder Winkelmeßeinrichtungen einsetzbar und zwar außer bei der beschriebenen lichtelektrischen Meßeinrichtung beispielsweise auch bei magnetischen, induktiven oder kapazitiven Meßeinrichtungen.

Bei einer absoluten Meßeinrichtung können die feinste Codespur auch mit inkrementalen Mitteln abgetastet und das auf diese Weise ermittelte "inkrementale" Meßergebnis mit dem "absoluten" Meßergebnis zur Überwachung der fehlerfreien Arbeitsweise der absoluten Meßeinrichtung verglichen werden. Bei dieser "inkrementalen" Abtastung kann die erfundungsgemäße Fehlererkennung mit Erfolg eingesetzt werden.

Hierzu 11 Blatt Zeichnungen

FIG. 2

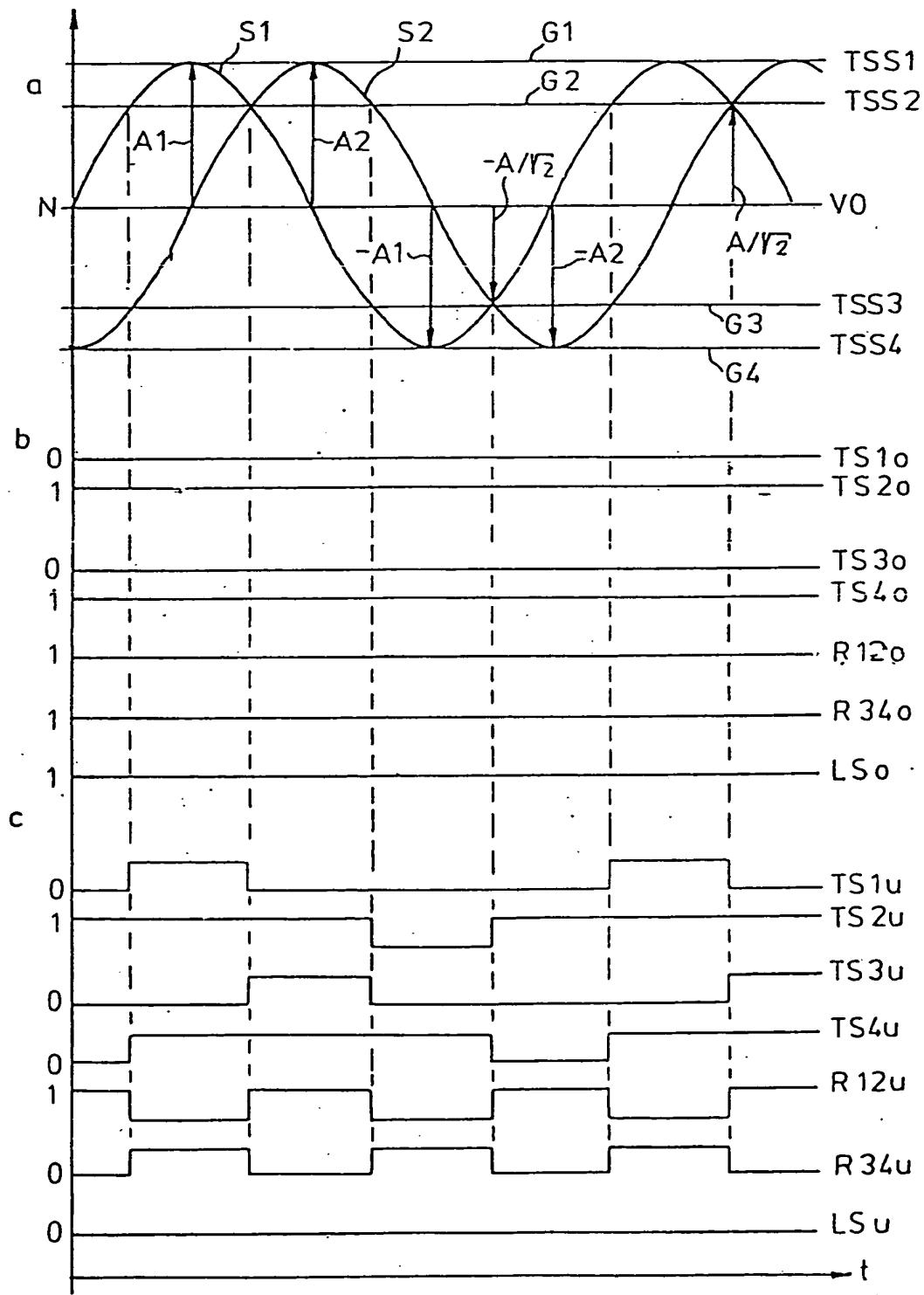
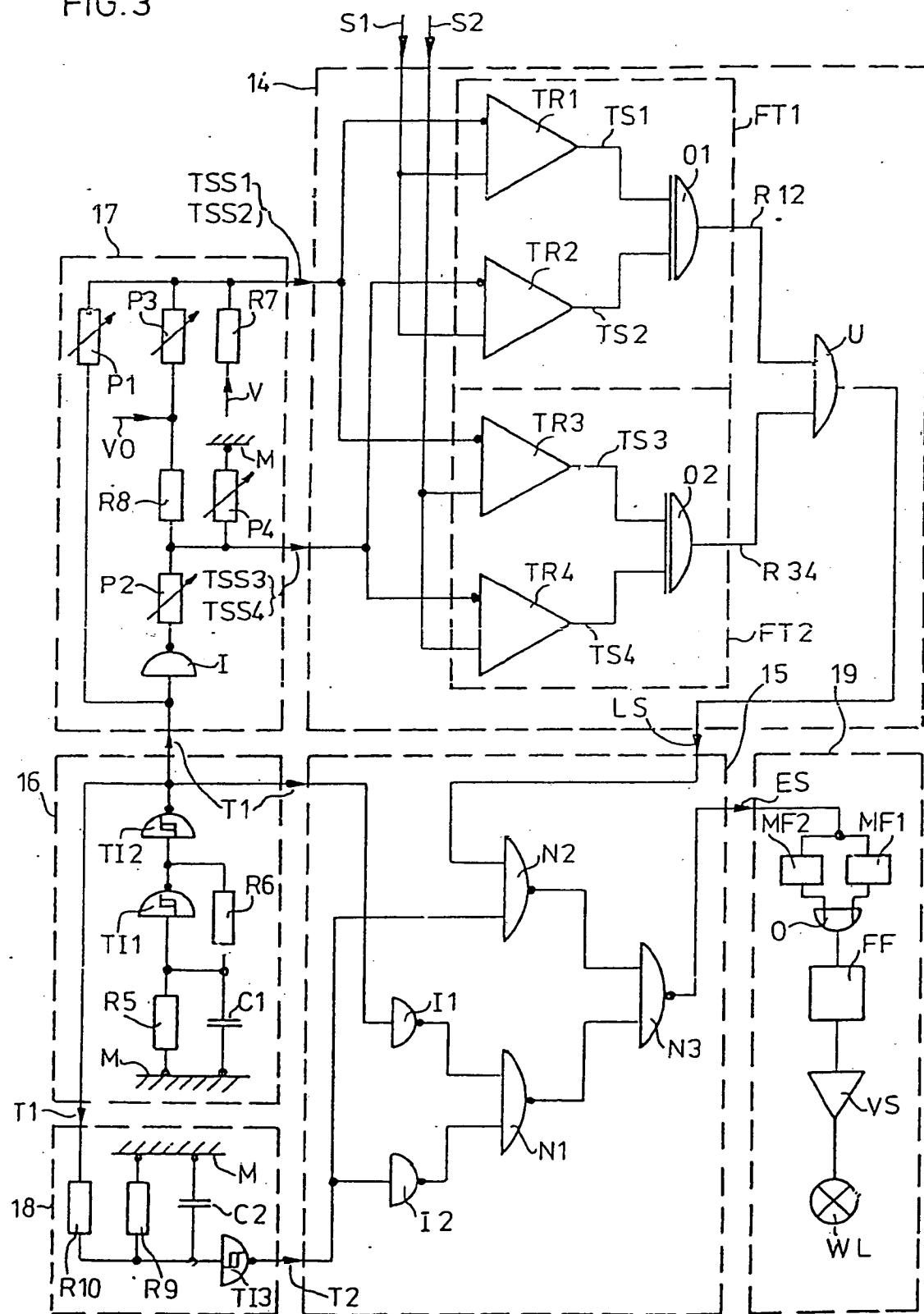


FIG. 3



ZEICHNUNGEN BLATT 4

Nummer: 35 09 682
 Int. Cl.⁴: G 01 B 21/00
 Veröffentlichungstag: 9. März 1989

FIG. 4

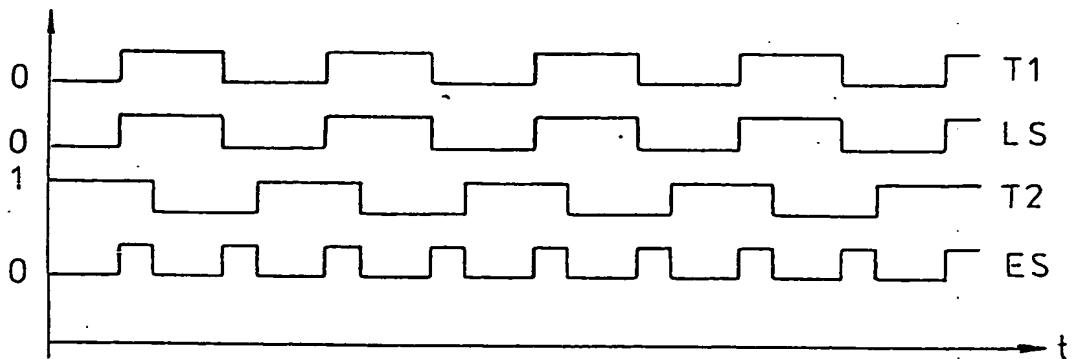


FIG. 5

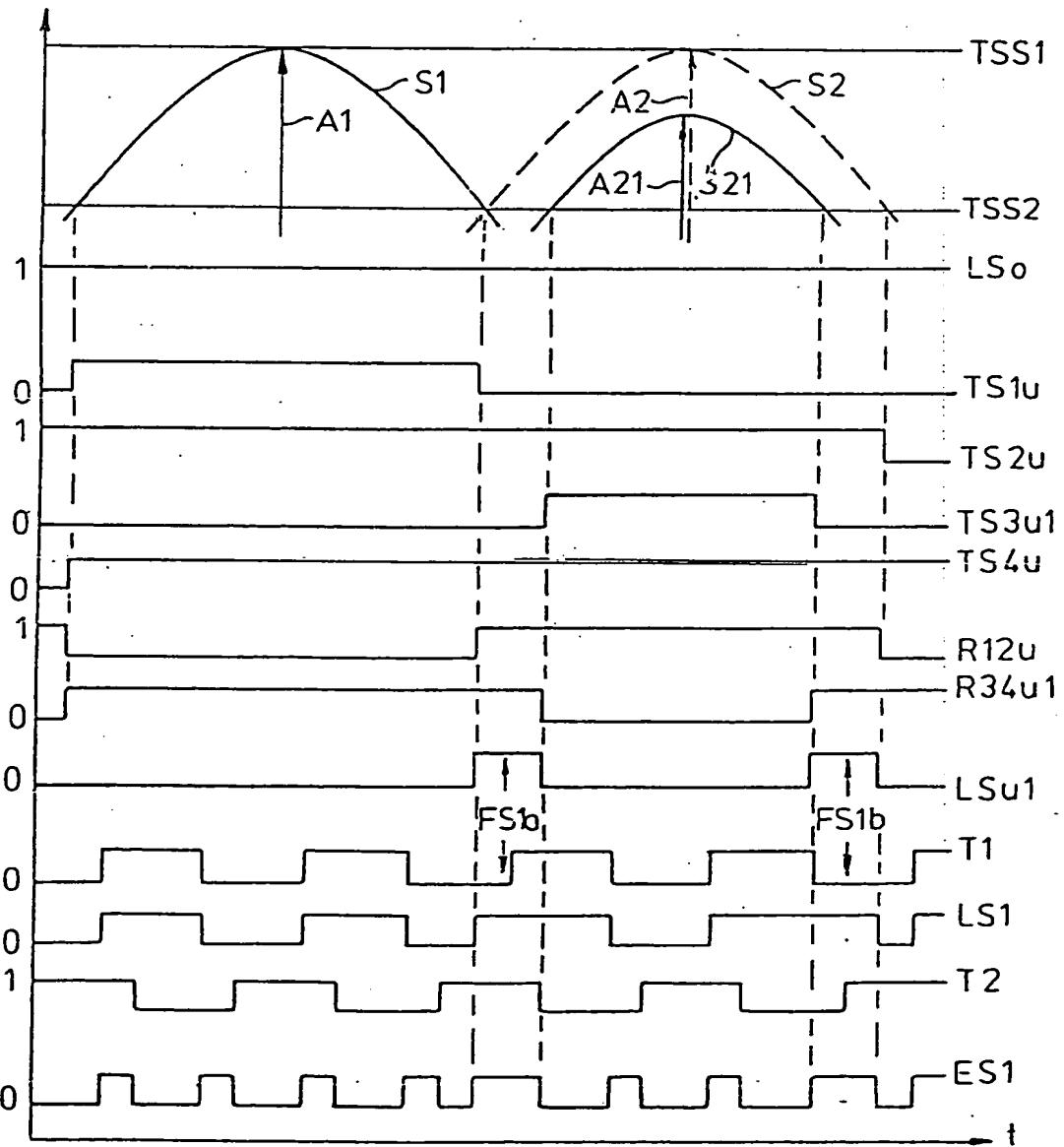


FIG. 6

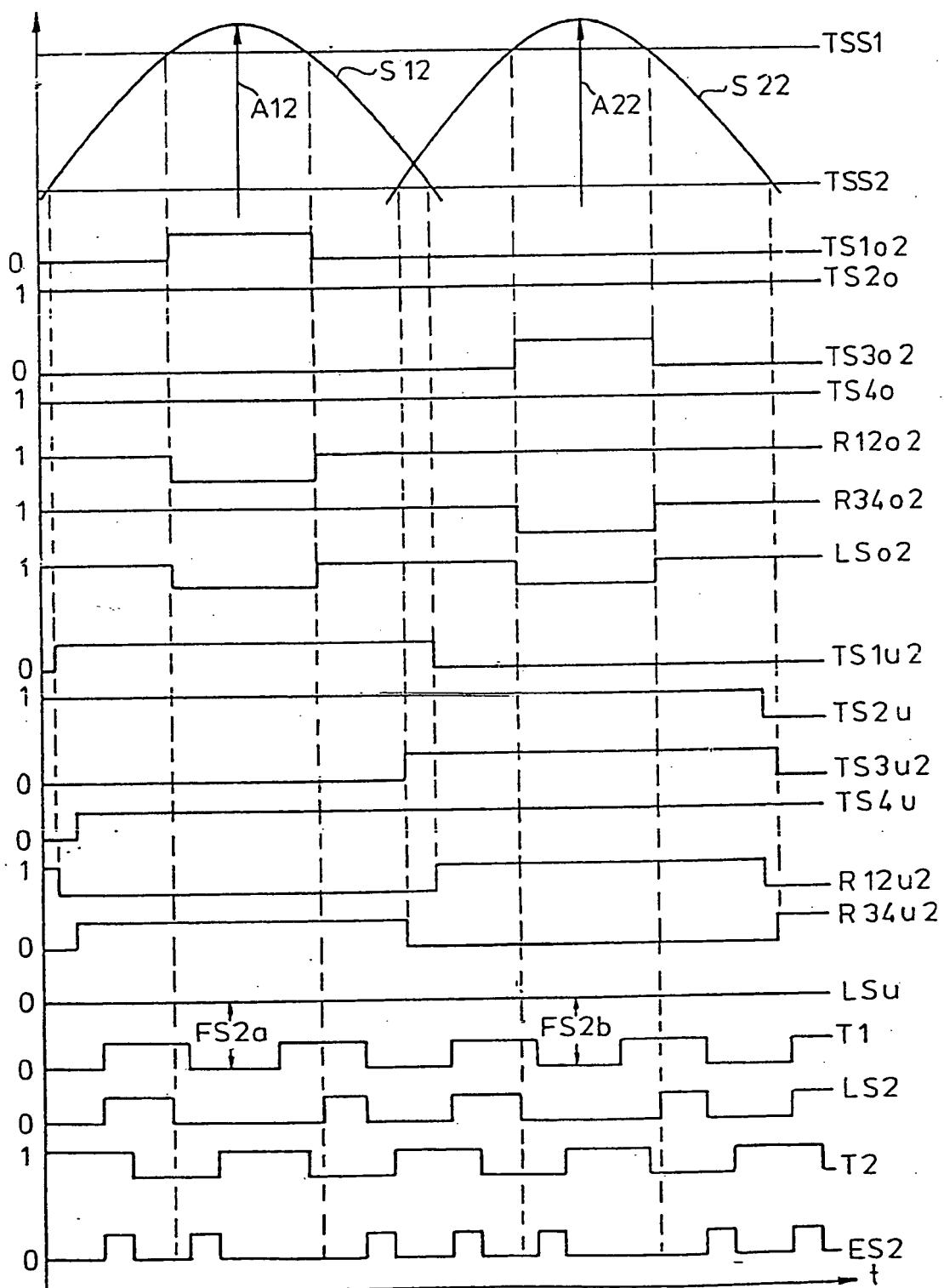


FIG. 7

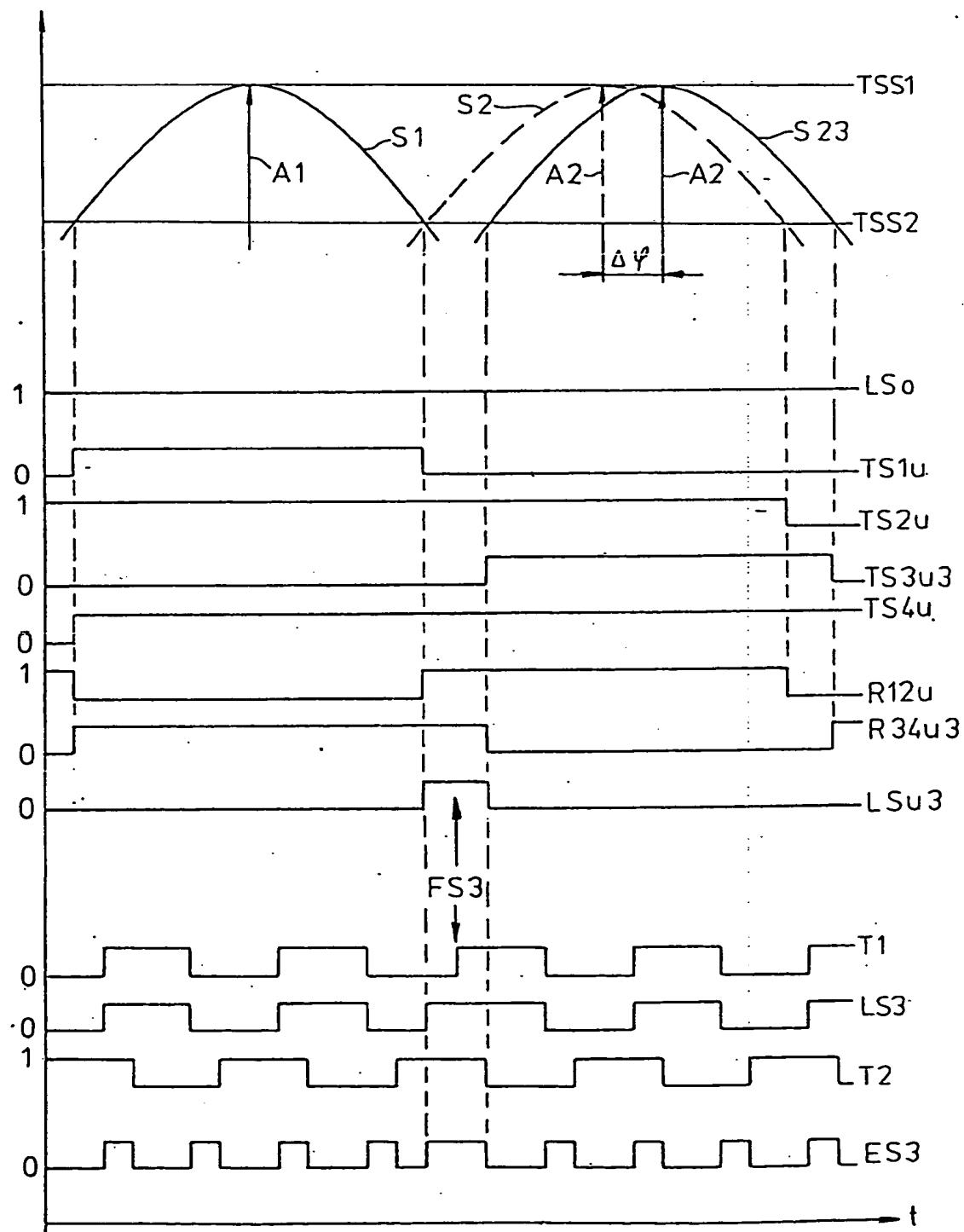


FIG. 8

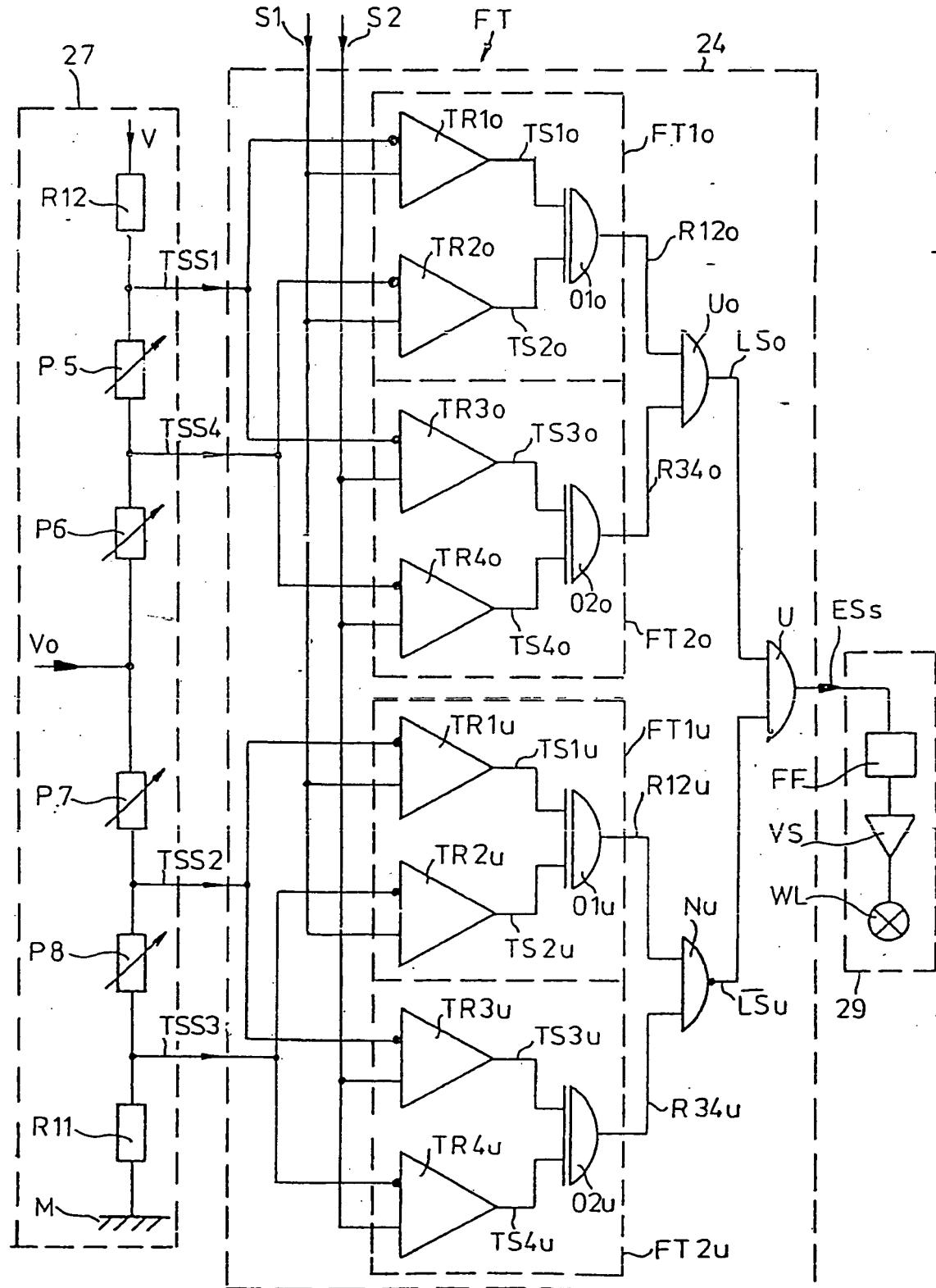


FIG. 9

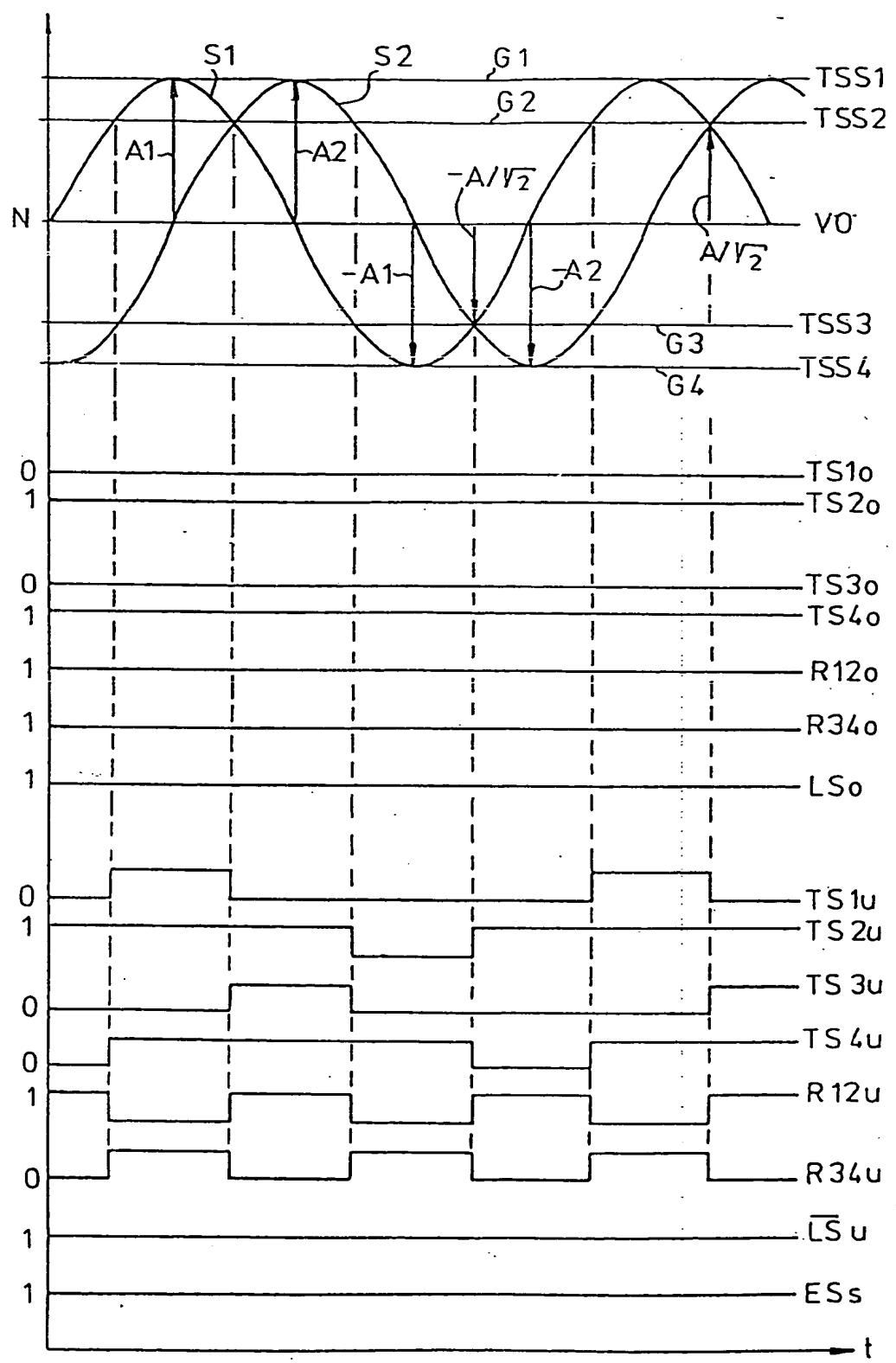


FIG. 10

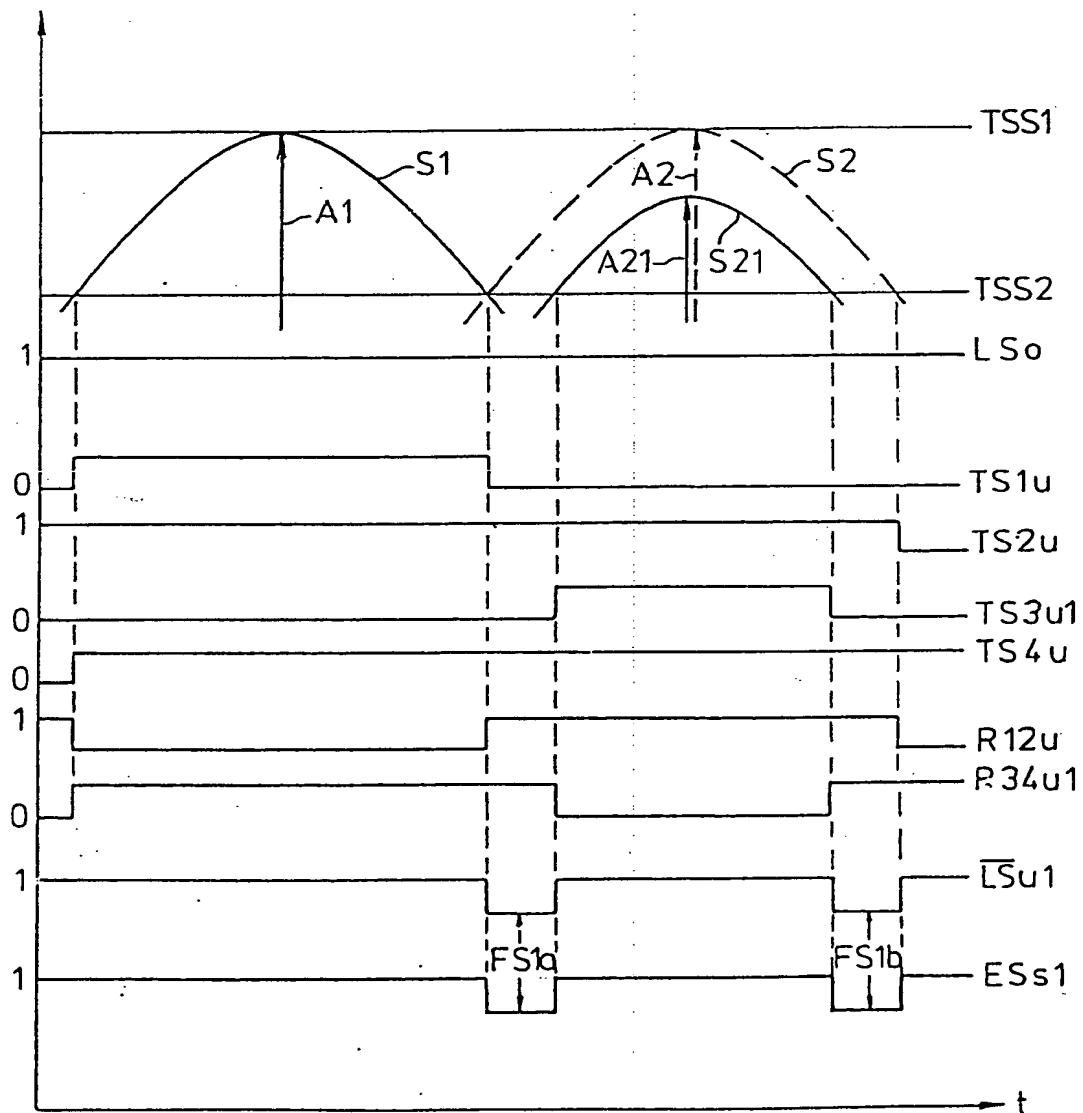


FIG. 11

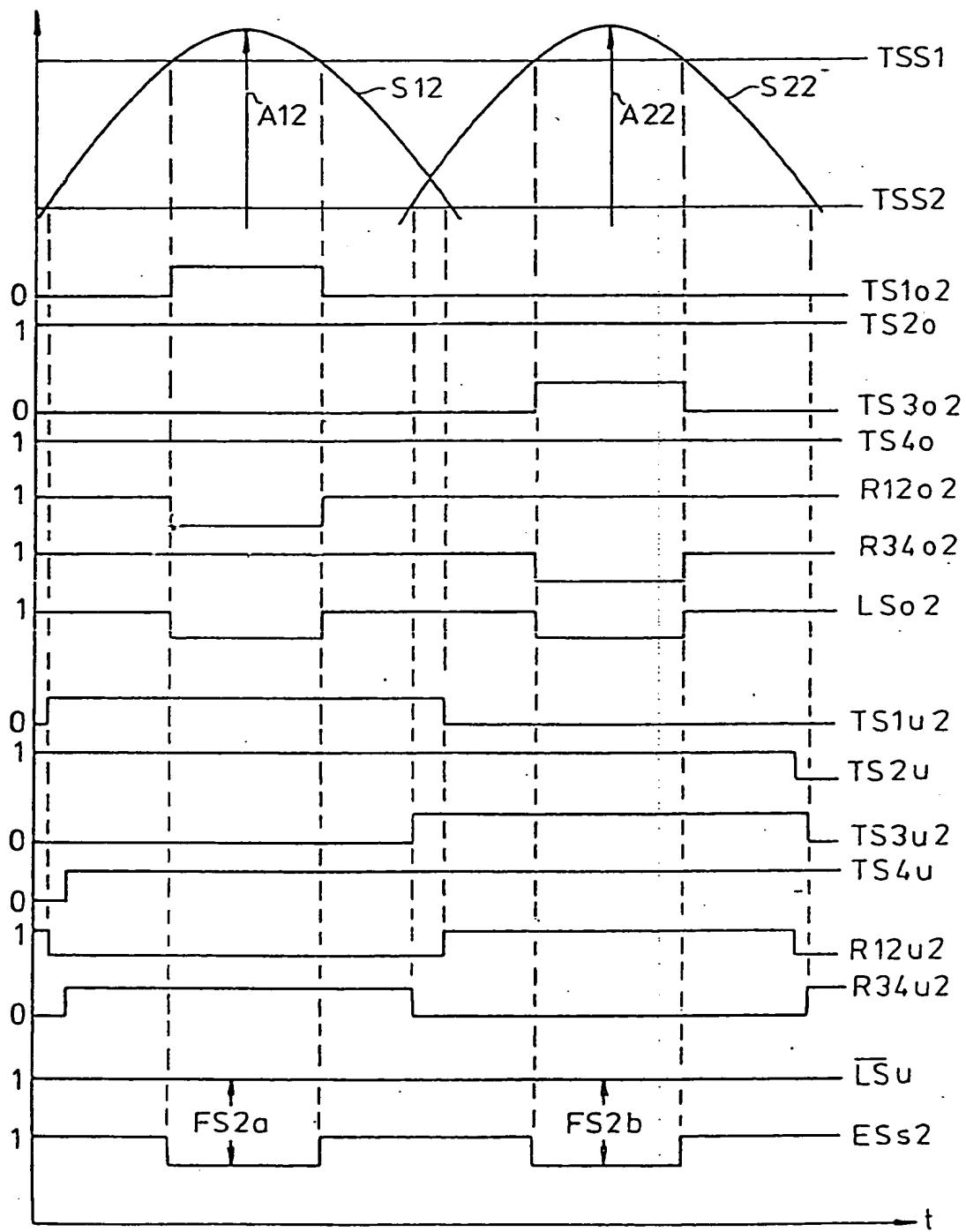
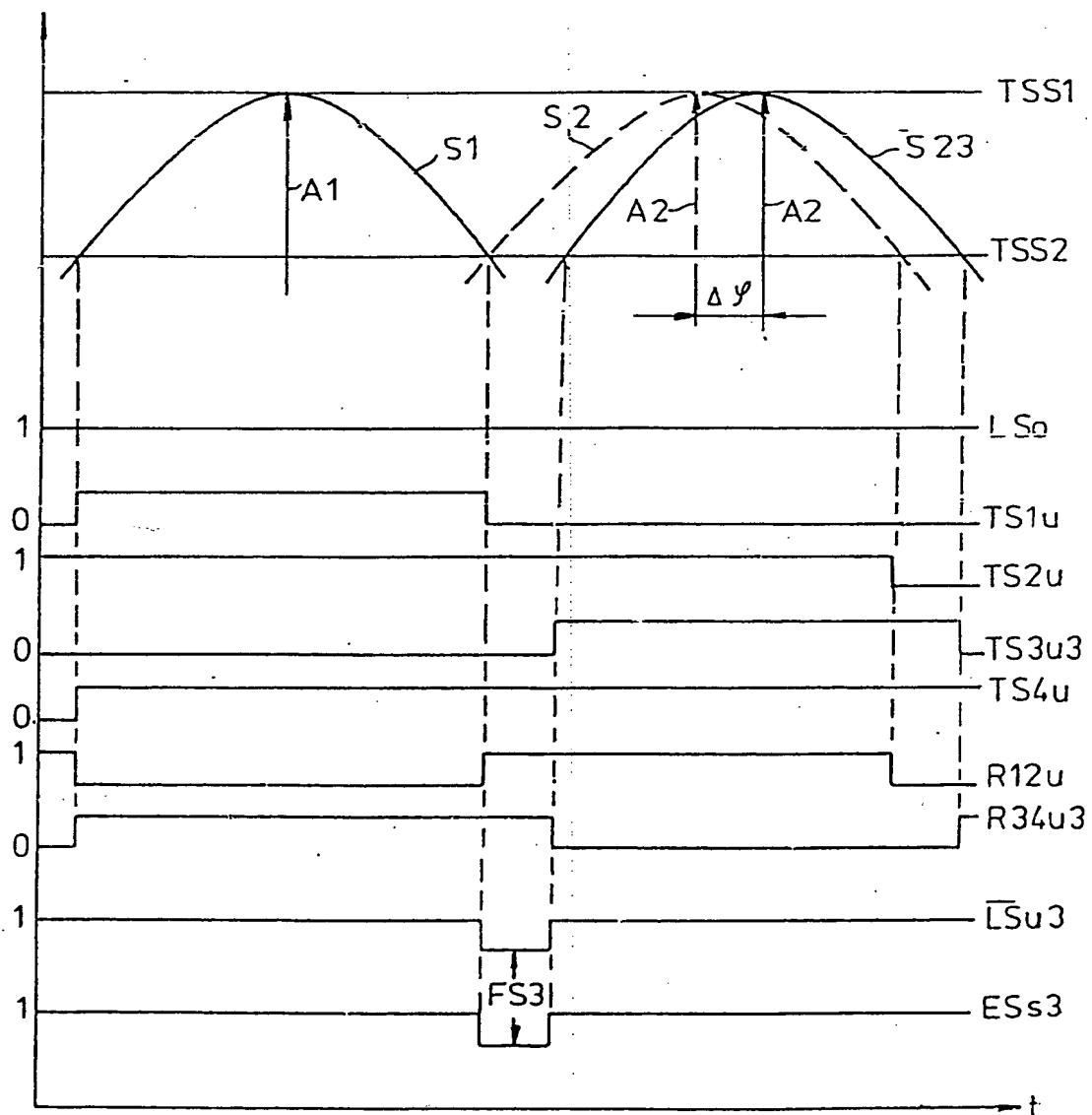


FIG. 12



=> s de 3509682/pn
L4 1 DE 3509682/PN
(DE3509682/PN)

=> d all

L4 ANSWER 1 OF 1 WPINDEX COPYRIGHT 2001 DERWENT INFORMATION LTD
AN 1986-252972 [39] WPINDEX
DNN N1986-189146
TI Error detector for incremental position measuring system - has logic circuit and comparator for periodic checking of detected signal amplitudes against upper and lower trigger voltages.
DC S02
IN HUBER, M
PA (HEIJ) HEIDENHAIN GMBH JOHANNES
CYC 1
PI DE 3509682 A 19860918 (198639)* 43p <--
DE 3509682 C 19890309 (198910) <--
ADT DE 3509682 A DE 1985-3509682 19850318
PRAI DE 1985-3509682 19850318
IC G01B021-00
AB DE 3509682 A UPAB: 19930922
A clock drives a trigger threshold generator which produces alternately upper and lower trigger threshold voltages. These are fed with two scan signals to a logic circuit containing triggers and logic elements.
The clock also drives a second clock and the two clock signals and the output from the logic circuit are fed to a comparator which generates a periodic signal to indicate an error-free condition. The logic circuit checks the scan signals to ensure that their upper and lower amplitudes are within tolerance.
USE/ADVANTAGE - Error detection in incremental measuring systems for relative position of two objects, e.g tools and workpieces. The circuitry is simple but can check all critical parameters of the detected signals.
0.12
FS EPI
FA AB
MC EPI: S02-A09

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)